

# Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP05/003482

International filing date: 02 March 2005 (02.03.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP  
Number: 2004-061595  
Filing date: 05 March 2004 (05.03.2004)

Date of receipt at the International Bureau: 24 March 2005 (24.03.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland  
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

04.03.2005

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 4 年    3 月    5 日  
Date of Application:

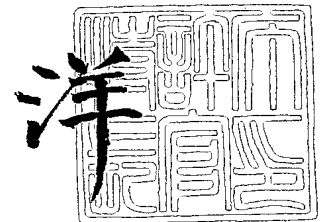
出 願 番 号            特 願 2 0 0 4 - 0 6 1 5 9 5  
Application Number:  
[ST. 10/C] :            [ J P 2 0 0 4 - 0 6 1 5 9 5 ]

出      願      人            日 本 電 気 株 式 会 社  
Applicant(s):

2 0 0 5 年    2 月 2 4 日

特許庁長官  
Commissioner,  
Japan Patent Office

小 川



出証番号    出証特 2 0 0 5 - 3 0 1 4 6 6 3

【書類名】 特許願  
【整理番号】 34002361  
【提出日】 平成16年 3月 5日  
【あて先】 特許庁長官 殿  
【国際特許分類】 G11C 11/00  
【発明者】  
    【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内  
    【氏名】 崎村 昇  
【発明者】  
    【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内  
    【氏名】 杉林 直彦  
【発明者】  
    【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内  
    【氏名】 本田 雄士  
【特許出願人】  
    【識別番号】 000004237  
    【氏名又は名称】 日本電気株式会社  
【代理人】  
    【識別番号】 100102864  
    【弁理士】  
    【氏名又は名称】 工藤 実  
【手数料の表示】  
    【予納台帳番号】 053213  
    【納付金額】 21,000円  
【提出物件の目録】  
    【物件名】 特許請求の範囲 1  
    【物件名】 明細書 1  
    【物件名】 図面 1  
    【物件名】 要約書 1  
    【包括委任状番号】 9715177

**【書類名】 特許請求の範囲****【請求項 1】**

第 1 方向に延伸する複数の第 1 配線と、  
前記第 1 方向に実質的に垂直な第 2 方向に延伸する複数の第 2 配線と、  
前記複数の第 1 配線と前記複数の第 2 配線とが交差する位置のそれぞれに対応して設けられた複数のメモリセルと、  
前記複数のメモリセルのうち、前記複数の第 2 配線のうちの参照配線に対応して設けられた複数の参照セルからの出力に基づいて、前記参照セルの状態を検出する第 2 センスアンプと、  
前記参照セルと異なる前記メモリセルからの出力と前記参照セルからの出力とに基づいて、当該メモリセルの状態を検出する第 1 センスアンプと  
を具備し、  
前記複数のメモリセルの各々は、  
記憶されるデータに応じて磁化方向が反転される積層フリー層を有する磁気抵抗素子を含み、  
前記磁気抵抗素子は、磁化容易軸方向が前記第 1 及び第 2 の方向とは異なる  
磁気ランダムアクセスメモリ。

**【請求項 2】**

請求項 1 に記載の磁気ランダムアクセスメモリにおいて、  
前記複数の第 1 配線から選択される選択第 1 配線と前記複数の第 2 配線から選択される選択第 2 配線とに対応するメモリセルとしての選択セルについて、前記積層フリー層の磁化を反転させるトグル動作は、  
前記選択第 1 配線に第 1 書き込み電流を供給し、次に、前記選択第 2 配線に第 2 書き込み電流を供給し、その後、前記第 1 書き込み電流を停止し、次に、前記第 2 書き込み電流を停止する一連の電流制御により実行される  
磁気ランダムアクセスメモリ。

**【請求項 3】**

請求項 2 に記載の磁気ランダムアクセスメモリにおいて、  
前記第 1 書き込み電流及び前記第 2 書き込み電流は、前記参照セルに対して前記トグル動作を行う場合の方が、前記参照セルと異なる前記メモリセルに対して前記トグル動作を行う場合よりも大きい  
磁気ランダムアクセスメモリ。

**【請求項 4】**

請求項 2 に記載の磁気ランダムアクセスメモリにおいて、  
前記参照セルの記憶情報の読み出しは、  
前記参照セルの最初の状態としての第 1 状態を検出する第 1 読み出し動作と、  
前記参照セルを前記トグル動作により第 2 状態にする第 1 トグル動作と、  
前記参照セルの前記第 2 状態を検出する第 2 読み出し動作と、  
前記参照セルを前記トグル動作により前記第 1 状態に戻す第 2 トグル動作と  
を実行し、  
前記第 1 状態と前記第 2 状態との比較結果に基づいて、前記参照セルの記憶情報を読み出す  
磁気ランダムアクセスメモリ。

**【請求項 5】**

請求項 2 に記載の磁気ランダムアクセスメモリにおいて、  
前記参照セルの記憶情報の書き込みは、  
前記参照セルの最初の状態としての第 1 状態を検出する第 1 読み出し動作と、  
前記参照セルを前記トグル動作により第 2 状態にする第 1 トグル動作と、  
前記参照セルの前記第 2 状態を検出する第 2 読み出し動作と、  
前記第 1 状態と前記第 2 状態との比較結果に基づいて、前記第 1 状態又は前記第 2 状態

を判定する判定動作と

を実行し、

前記第 2 状態が前記参照セルに書き込もうとしている記憶情報と同じ場合、前記第 2 状態を維持し、異なる場合、前記参照セルを前記トグル動作により前記第 1 状態に戻すことで書き込みを行う

磁気ランダムアクセスメモリ。

【請求項 6】

請求項 4 に記載の磁気ランダムアクセスメモリにおいて、

第 2 センスアンプは、

前記参照セルの前記磁気抵抗素子の抵抗値を検出して出力電圧に変換する抵抗電圧変換部と、

前記出力電圧を一時的に保持する記憶部と、

前記トグル動作後の前記出力電圧と、前記記憶部に格納されている前記トグル動作前の前記出力電圧とに基づいて、前記参照セルに格納されていた記憶情報を判定する判定部と

を備える

磁気ランダムアクセスメモリ。

【請求項 7】

請求項 6 に記載の磁気ランダムアクセスメモリにおいて、

前記記憶部は、

入力側を前記抵抗電圧変換部の出力側に接続された第 1 スイッチ部と、

入力側を前記第 1 スイッチ部の出力側に接続されたキャパシタと

を備え、

前記判定部は、

入力側を前記キャパシタの出力側に接続されたインバータと、

前記インバータの入出力間に並列に接続された第 2 スイッチ部と

を備える

磁気ランダムアクセスメモリ。

【請求項 8】

請求項 7 に記載の半導体記憶装置において、

前記第 1 読み出し動作時に前記第 1 スイッチ部及び前記第 2 スイッチ部が共にオンの状態であり、

前記第 2 読み出し動作開始前に前記第 1 スイッチ部がオフの状態であり、

前記第 2 読み出し動作時に前記第 2 スイッチ部をオフの状態にし、その直後に前記第 1 スイッチ部を再びオンの状態にし、

前記第 2 読み出し動作時における前記インバータの出力が前記参照セルの記憶情報である

磁気ランダムアクセスメモリ。

【請求項 9】

請求項 4 に記載の磁気ランダムアクセスメモリにおいて、

前記第 2 センスアンプは、前記第 1 トグル動作が行われたか否かを検出し、前記第 1 トグル動作が行われなかったと判定された場合は、前記第 1 書き込み電流及び前記第 2 書き込み電流を増大させ、再度、第 1 読み出し動作から実行する

磁気ランダムアクセスメモリ。

【請求項 10】

請求項 9 に記載の磁気ランダムアクセスメモリにおいて、

第 2 センスアンプは、

前記参照セルの前記磁気抵抗素子の抵抗値を検出して、第 1 出力電圧とする第 1 抵抗電圧変換部と、

前記第 1 出力電圧を一時的に保持する第 1 記憶部と、

前記トグル動作後の前記第 1 出力電圧と、前記第 1 記憶部に格納されている前記トグル

動作前の前記第 1 出力電圧とに基づいて、前記参照セルに格納されていた記憶情報を判定して、判定結果を示す第 1 信号とする第 1 判定部と、

前記参照セルの前記磁気抵抗素子の抵抗値を検出して、第 2 出力電圧とする第 2 抵抗電圧変換部と、

前記第 2 出力電圧を一時的に保持する第 2 記憶部と、

前記トグル動作後の前記第 2 出力電圧と、前記第 2 記憶部に格納されている前記トグル動作前の前記第 2 出力電圧とに基づいて、前記参照セルに格納されていた記憶情報を判定して、判定結果を示す第 2 信号とする第 2 判定部と、

前記第 1 信号と前記第 2 信号とに基づいて、前記第 1 トグル動作が行われたか否かを判定する判定部と

を備える

磁気ランダムアクセスメモリ。

#### 【請求項 11】

請求項 10 に記載の磁気ランダムアクセスメモリにおいて、

前記第 1 出力電圧は、前記第 1 読み出し動作時では、前記磁気抵抗素子の抵抗値を検出して電圧に変換した後、第 1 オフセット電圧を加算したものであり、前記第 2 読み出し動作時では、前記磁気抵抗素子の抵抗値を検出して電圧に変換したものであり、

前記第 2 出力電圧は、前記第 1 読み出し動作時では、前記磁気抵抗素子の抵抗値を検出して電圧に変換した後、第 2 オフセット電圧を加算したものであり、前記第 2 読み出し動作時では、前記磁気抵抗素子の抵抗値を検出して電圧に変換したものであり、

前記第 1 オフセット電圧の符号と前記第 2 オフセット電圧の符号とは逆である

磁気ランダムアクセスメモリ。

#### 【請求項 12】

請求項 10 に記載の磁気ランダムアクセスメモリにおいて、

前記第 1 出力電圧は、前記第 1 読み出し動作時では、前記磁気抵抗素子の抵抗値を検出して電圧に変換した後、第 1 オフセット電圧を加算したものであり、前記第 2 読み出し動作時では、前記磁気抵抗素子の抵抗値を検出して電圧に変換したものであり、

前記第 2 出力電圧は、前記第 1 読み出し動作時では、前記磁気抵抗素子の抵抗値を検出して電圧に変換したものであり、前記第 2 読み出し動作時では、前記磁気抵抗素子の抵抗値を検出して電圧に変換した後、第 2 オフセット電圧を加算したものであり、

前記第 1 オフセット電圧の符号と前記第 2 オフセット電圧の符号とは同じである

磁気ランダムアクセスメモリ。

#### 【請求項 13】

請求項 11 に記載の磁気ランダムアクセスメモリにおいて、

前記第 1 記憶部は、

入力側を前記第 1 抵抗電圧変換部の出力側に接続された第 1 スイッチ部と、

入力側を前記第 1 のスイッチの出力側に接続された第 1 キャパシタと

を備え、

前記第 1 判定部は、

入力側を前記第 1 キャパシタの出力側に接続された第 1 インバータと、

前記第 1 インバータの入出力間に並列に接続された第 2 スイッチ部と

を備え、

前記第 2 記憶部は、

入力側を前記第 1 抵抗電圧変換部の出力側に接続された第 3 スイッチ部と、

入力側を前記第 3 のスイッチの出力側に接続された第 2 キャパシタと

を備え、

前記第 2 判定部は、

入力側を前記第 2 キャパシタの出力側に接続された第 2 インバータと、

前記第 2 インバータの入出力間に並列に接続された第 4 スイッチ部と

を備える

磁気ランダムアクセスメモリ。

【請求項 14】

請求項 13 に記載の磁気ランダムアクセスメモリにおいて、

前記第 1 読み出し動作時に前記第 1 スイッチ部、前記第 2 スイッチ部、前記第 3 スイッチ部及び前記第 4 スイッチ部が共にオンの状態であり、

前記第 2 読み出し動作開始前に前記第 1 スイッチ部及び第 3 スイッチ部がオフの状態であり、

前記第 2 読み出し動作時に前記第 2 スイッチ部及び第 4 スイッチ部をオフの状態にし、その直後に前記第 1 スイッチ部及び第 3 スイッチ部を再びオンの状態にし、

前記第 2 読み出し動作時における前記判定部の出力が前記参照セルの記憶情報である磁気ランダムアクセスメモリ。

【書類名】明細書

【発明の名称】トグル型磁気ランダムアクセスメモリ

【技術分野】

【0001】

本発明は、トグル型磁気ランダムアクセスメモリに関し、特に参照セルの信頼性を向上させるトグル型磁気ランダムアクセスメモリに関する。

【背景技術】

【0002】

記憶素子の磁化の方向を制御することで、データを記憶する磁気ランダムアクセスメモリ（以下、「MRAM」と記す）が知られている。磁化方向の記録方法により、いくつかの種類のMRAMがある。

【0003】

第1の先行文献（米国特許6,545,906号公報）には、トグル型磁気ランダムアクセスメモリ（以下、「トグルMRAM」と記す）の技術が開示されている。このトグルMRAMは、その記憶素子に積層フリー層を用いた磁気抵抗素子（MTJ: Magnetic Tunneling Junction）を用いている。このトグルMRAMは、従来の典型的なMRAMと比べてメモリセルの構造とライト動作原理が異なっており、特に、書き込み動作時におけるメモリセルの選択性が優れているという点に特徴がある。以下詳細に説明する。

【0004】

図15及び図16は、トグルMRAMに用いられる典型的な磁気抵抗素子の構造を示す断面図である。この磁気抵抗素子125は、第1の配線110と第2の配線101との間に設けられている。第1の配線110から順番に反強磁性層109、ピン層108、非磁性金属層107、リファレンス層106、トンネル層105、第1のフリー層104、非磁性金属103、第2のフリー層102を具備し、第2の配線101へ接続している。

【0005】

この磁気抵抗素子125は、膜厚が等しい第1及び第2のフリー層104,102が非磁性金属層103を介して積層されている点に特徴がある。ピン層108とリファレンス層106も非磁性金属層107を介して積層されている。ピン層108及びリファレンス層106の磁化方向は製造時に強く固定されている。第1のフリー層104が持つ第1フリー層磁化の方向及び第2のフリー層102が持つ第2のフリー層磁化の方向を、第1の配線110及び第2の配線101に流れる書き込み電流が生成する磁場によって変化させることが可能である。ここで、第1及び第2のフリー層磁化の方向は互いに180°反転した反平行状態で安定であり、一方のフリー層磁化の方向が反転した場合、他方のフリー層磁化の方向も反平行状態を保つように反転する。

【0006】

トグルMRAMにおけるセンス動作原理は従来の典型的なMRAMのセンス動作原理と同様である。すなわち、第1のフリー層1104とリファレンス層106とに挟まれたトンネル膜105を貫通するトンネル電流を検出して行う。リファレンス層106が持つリファレンス層磁化の方向に対して第1のフリー層磁化の方向が平行状態である場合は、反平行状態である場合よりも上記トンネル電流が増加、すなわち磁気抵抗（MTJ抵抗）が低下する。この特徴を利用してメモリセルに格納された情報を読み出す。ここで、説明の便宜上、磁気抵抗が高抵抗値 $R_{max}$ （トンネル電流 $m_{in.}$ ）である場合を「1」（図15）、低抵抗値 $R_{min}$ （トンネル電流 $m_{ax.}$ ）である場合を「0」（図16）と定義する。

【0007】

例えば、第2の先行文献（米国特許6,392,923号公報）に開示されている従来のMRAMでは、予めプログラムされた複数のメモリセルを用いて合成抵抗値 $R_{ref}$ が $R_{min} < R_{ref} < R_{max}$ となる参照セルを構成する。そして、選択されたメモリセルの抵抗値と参照セルの抵抗値 $R_{ref}$ と比較することで上記メモリセルに格納されてい



た情報を高速にセンスしている。

#### 【0008】

第1の先行文献によると、トグルMRAMにおけるメモリセルの平面レイアウトは、従来の典型的なMRAMのそれとは異なっている。図17は、第1の先行文献におけるメモリセルの平面レイアウトを示す上面図である。トグルMRAMにおいては、磁気抵抗素子の磁化容易軸方向が第1の配線（（ライト）ワード線）が延在するX方向でも、第2の配線（ビット線）が延在するY方向でもない方向、つまり、両方向から見ておよそ45°方向になるように配置されることに特徴がある。これは、後述するトグル動作を容易にするための配慮によるものである。

#### 【0009】

次に、従来の典型的なMRAMとは異なるトグルMRAMの書き込み動作の原理について説明する。従来の典型的なMRAMの書き込み動作は、書き込みをしようとする情報に応じてビット線の書き込み電流方向を制御することによりフリー層磁化の方向を確定する。これに対し、第1の先行文献に開示されるトグルMRAMの書き込み動作は、予め選択メモリセルの読み出しを実行しておき、その読み出した情報と書き込みをしようとする情報に対して第1及び第2のフリー層磁化の方向を変化させるか否か（トグル動作させるか否か）で行われる。すなわち、読み出した情報（「0」又は「1」）と書き込みをしようとする情報（「0」又は「1」）とが等しい場合にはトグル動作を行わず、読み出した情報と書き込みをしようとする情報とが異なる場合にはトグル動作を行う。

#### 【0010】

図18～図20は、第1の先行文献におけるトグルMRAMにおけるトグル動作原理を示す図である。図18は、トグル動作における書き込み電流 $I_{WL}$ 及び書き込み電流 $I_{BL}$ のタイミングを示すタイミングチャートである。図19及び図20は、トグル動作における第1及び第2のフリー層磁化の方向の変化を示す図である。細い矢印は第2のフリー層磁化の方向を示し、太い矢印は第1のフリー層磁化の方向を示す。図19は、データ「0」が格納された磁気抵抗素子にデータ「1」を書き込む場合である。図20は、データ「1」が格納された磁気抵抗素子にデータ「0」を書き込む場合である。

#### 【0011】

図17を参照して、トグル動作は、時刻 $t_1$ で書き込みワード線に書き込み電流 $I_{WL}$ を供給する。時刻 $t_2$ でビット線に書き込み電流 $I_{BL}$ を供給する。時刻 $t_3$ で書き込み電流 $I_{WL}$ を停止させる。そして、時刻 $t_4$ で書き込み電流 $I_{BL}$ を停止させる。以上の一連の電流制御により、書き込み電流 $I_{WL}$ が供給される選択（書き込み）ワード線と書き込み電流 $I_{BL}$ が供給される選択ビット線の交点には回転磁場が加わり、第1及び第2のフリー層磁化の方向を回転（変更）させ、データを書き込むことができる。

#### 【0012】

図19及び図20を参照して、すなわち、磁気抵抗素子において、時刻 $t_1$ での第1及び第2のフリー層磁化の方向が回転し始める。時刻 $t_2$ で第1及び第2のフリー層磁化のうちの一方の方向が磁化困難軸を超える。時刻 $t_3$ で第1及び第2のフリー層磁化のうちの他方の方向も磁化困難軸を超える。このように、第1及び第2のフリー層磁化の方向は、それぞれスピフロップした状態で1回転する。すなわち、初期状態が「0」の状態である場合は「1」の状態に、「1」の状態である場合は「0」の状態に書き換えられる（トグルされる）。

#### 【0013】

図21は、書き込み電流 $I_{WL}$ 及び書き込み電流 $I_{BL}$ とトグルされるメモリセル（磁気抵抗素子）との関係を示すグラフである。縦軸は書き込み電流 $I_{WL}$ 、横軸は書き込み電流 $I_{BL}$ を示す。黒丸印は選択セルに、白丸印は半選択セル（書き込みワード線及びビット線のいずれか一方が選択セルと共通のセル）に、バツ印は非選択セルに対応する。「TOGGLE」と示された領域は、トグル動作が発生する領域を示す。「No Switching」と示された領域は、トグル動作が発生しない領域を示す。

#### 【0014】

トグルMRAMでは、選択（書き込み）ワード線上あるいは選択ビット線上に配置される半選択状態のメモリセル（図中、白丸印）には、一方向の磁場しか加わらないため誤書き込みする可能性は非常に低い。よって、書き込み電流値の厳密な制御は必要なく、書き込みマージンは従来の典型的なMRAMと比較して飛躍的に向上する。

#### 【0015】

以上説明したように、典型的なMRAMの書き込み動作は書き込みをしようとする情報に対応した書き込み電流の方向により磁気抵抗素子のフリー層磁化を制御することで実行される。一方、トグルMRAMの場合、書き込み動作はフリー層磁化の方向を反転させる（トグルさせる）か否かで実行される。そのため、トグル動作をする前に選択メモリセルの記憶情報をセンスしておく必要がある。ユーザーエリアに配置されている通常セルのセンス動作は、選択セルの抵抗値と参照セルの抵抗値とを比較して実行される。従って、通常セルの書き込み動作は、書き込みをしようとする情報と直前のセンス結果とに基づいて、トグル動作するか否か決定すれば実行可能である。一方、通常セルの基準となる参照セルには既知の参照情報を電源投入時等に予め高い信頼性で書き込み（プログラム）をしておく必要がある。しかし、参照セルの書き込みに必要な基準情報が無いため、通常セルの場合と同じ方法でセンスすることは不可能である。

#### 【0016】

【特許文献1】 米国特許 6, 545, 906 号公報

【特許文献2】 米国特許 6, 392, 923 号公報

#### 【発明の開示】

#### 【発明が解決しようとする課題】

#### 【0017】

従って、本発明の目的は、トグルMRAMにおける参照セルに参照情報を高い信頼性で書き込む（プログラムする）ことが可能なトグルMRAMを提供することである。

#### 【0018】

また、本発明の他の目的は、トグルMRAMにおける参照セルの参照情報を高い信頼性で読み出す（センスする）ことが可能なトグルMRAMを提供することである。

#### 【課題を解決するための手段】

#### 【0019】

以下に、発明を実施するための最良の形態で使用される番号・符号を用いて、課題を解決するための手段を説明する。これらの番号・符号は、特許請求の範囲の記載と発明を実施するための最良の形態との対応関係を明らかにするために括弧付きで付加されたものである。ただし、それらの番号・符号を、特許請求の範囲に記載されている発明の技術的範囲の解釈に用いてはならない。

#### 【0020】

従って、上記課題を解決するために、本発明の磁気ランダムアクセスメモリは、複数の第1配線（23）と、複数の第2配線（21+21r）と、複数のメモリセル（14+14r）と、第2センスアンプ（3）と、第1センスアンプ（2）とを具備する。第1配線（23）は、第1方向（X）に延伸する。第2配線（21+21r）は、第1方向（X）に実質的に垂直な第2方向（Y）に延伸する。メモリセル（14+14r）は、複数の第1配線（23）と複数の第2配線（21+21r）とが交差する位置のそれぞれに対応して設けられている。第2センスアンプ（3）は、複数のメモリセル（14+14r）のうち、複数の第2配線（21+21r）のうちの参照配線（21r）に対応して設けられた複数の参照セル（14r）からの出力に基づいて、参照セル（14r）の状態を検出する。第1センスアンプ（2）は、参照セル（14r）と異なるメモリセル（14）からの出力と参照セル（14r）からの出力とに基づいて、当該メモリセル（14）の状態を検出する。複数のメモリセル（14+14r）の各々は、記憶されるデータに応じて磁化方向が反転される積層フリー層（102+103+104）を有する磁気抵抗素子（125）を含む。磁気抵抗素子（125）は、磁化容易軸方向が第1及び第2の方向（X、Y）とは異なる。

## 【0021】

上記の磁気ランダムアクセスメモリにおいて、複数の第1配線(23)から選択される選択第1配線(23s)と複数の第2配線(21+21r)から選択される選択第2配線(21s、21r)とに対応するメモリセル(14+14r)としての選択セル(14s又は14rs)について、積層フリー層(102+103+104)の磁化を反転させるトグル動作は、次の一連の電流制御により実行される。選択第1配線(23s)に第1書き込み電流( $I_{WL}$ )を供給し、次に、選択第2配線(21s、21r)に第2書き込み電流( $I_{BL}$ )を供給し、その後、第1書き込み電流( $I_{WL}$ )を停止し、次に、第2書き込み電流( $I_{BL}$ )を停止する。

## 【0022】

上記の磁気ランダムアクセスメモリにおいて、第1書き込み電流( $I_{WL}$ )及び第2書き込み電流( $I_{BL}$ )は、参照セル(14r)に対してそのトグル動作を行う場合の方が、参照セル(14r)と異なるメモリセル(14)に対してそのトグル動作を行う場合よりも大きい。

## 【0023】

上記の磁気ランダムアクセスメモリにおいて、参照セル(14r)の記憶情報の読み出しは、次のように行う。参照セル(14r)の最初の状態としての第1状態を検出する第1読み出し動作と、参照セル(14r)をそのトグル動作により第2状態にする第1トグル動作と、参照セル(14r)のその第2状態を検出する第2読み出し動作と、参照セル(14r)をそのトグル動作によりその第1状態に戻す第2トグル動作とを実行し、その第1状態とその第2状態との比較結果に基づいて、参照セル(14r)の記憶情報を読み出す。

## 【0024】

上記の磁気ランダムアクセスメモリにおいて、参照セル(14r)の記憶情報の書き込みは、次のように行う。参照セル(14r)の最初の状態としての第1状態を検出する第1読み出し動作と、参照セル(14r)をそのトグル動作により第2状態にする第1トグル動作と、参照セル(14r)のその第2状態を検出する第2読み出し動作と、その第1状態とその第2状態との比較結果に基づいて、その第1状態又はその第2状態を判定する判定動作とを実行し、その第2状態が参照セル(14r)に書き込もうとしている記憶情報と同じ場合、その第2状態を維持し、異なる場合、参照セル(14r)をそのトグル動作によりその第1状態に戻すことで書き込みを行う。

## 【0025】

上記の磁気ランダムアクセスメモリにおいて、第2センスアンプ(3)は、抵抗電圧変換部(31)と、記憶部(32)と、判定部(33)とを備える。抵抗電圧変換部(31)は、参照セル(14r)の磁気抵抗素子(25r)の抵抗値を検出して出力電圧に変換する。記憶部(32)は、その出力電圧を一時的に保持する。判定部(33)は、そのトグル動作後のその出力電圧と、記憶部(32)に格納されているそのトグル動作前のその出力電圧とに基づいて、参照セル(14r)に格納されていた記憶情報を判定する。

## 【0026】

上記の磁気ランダムアクセスメモリにおいて、記憶部(32)は、入力側を抵抗電圧変換部(31)の出力側に接続された第1スイッチ部(43)と、入力側を第1スイッチ(43)の出力側に接続されたキャパシタ(44)とを備える。判定部(33)は、入力側をキャパシタ(44)の出力側に接続されたインバータ(46)と、インバータ(46)の入出力間に並列に接続された第2スイッチ部(45)とを備える。

## 【0027】

上記の磁気ランダムアクセスメモリにおいて、その第1読み出し動作時に第1スイッチ部(43)及び第2スイッチ部(45)が共にオンの状態である。その第2読み出し動作開始前に第1スイッチ部(43)がオフの状態である。その第2読み出し動作時に第2スイッチ部(45)をオフの状態にし、その直後に第1スイッチ部(43)を再びオンの状態にする。その第2読み出し動作時におけるインバータ(46)の出力が参照セル(14

r) の記憶情報である。

#### 【0028】

上記の磁気ランダムアクセスメモリにおいて、第2センスアンプ(3)は、その第1トグル動作が行われたか否かを検出し、その第1トグル動作が行われなかったと判定された場合は、第1書き込み電流( $I_{WL}$ )及び第2書き込み電流( $I_{BL}$ )を増大させ、再度、第1読み出し動作から実行する。

#### 【0029】

上記の磁気ランダムアクセスメモリにおいて、第2センスアンプ(3)は、第1抵抗電圧変換部(31a)と、第1記憶部(32a)と、第1判定部(33a)と、第2抵抗電圧変換部(31b)と、第2記憶部(32b)と、第2判定部(33b)と、判定部(48a)とを備える。第1抵抗電圧変換部(31a)は、参照セル(14r)の磁気抵抗素子(25r)の抵抗値を検出して、第1出力電圧とする。第1記憶部(32a)は、その第1出力電圧を一時的に保持する。第1判定部(33a)は、そのトグル動作後のその第1出力電圧と、第1記憶部(32a)に格納されているそのトグル動作前のその第1出力電圧とに基づいて、参照セル(14r)に格納されていた記憶情報を判定して、判定結果を示す第1信号(Q1)とする。第2抵抗電圧変換部(31b)は、参照セル(14r)の磁気抵抗素子(25r)の抵抗値を検出して、第2出力電圧とする。第2記憶部(32b)は、その第2出力電圧を一時的に保持する。第2判定部(33b)は、そのトグル動作後のその第2出力電圧と、第2記憶部(32b)に格納されているそのトグル動作前のその第2出力電圧とに基づいて、参照セル(14r)に格納されていた記憶情報を判定して、判定結果を示す第2信号(Q2)とする。判定部(48a)は、第1信号(Q1)と第2信号(Q2)とに基づいて、その第1トグル動作が行われたか否かを判定する。

#### 【0030】

上記の磁気ランダムアクセスメモリにおいて、その第1出力電圧は、その第1読み出し動作時では、磁気抵抗素子(25r)の抵抗値を検出して電圧に変換した後、第1オフセット電圧( $V_{off}$ )を加算したものである。その第2読み出し動作時では、磁気抵抗素子(25r)の抵抗値を検出して電圧に変換したものである。その第2出力電圧は、その第1読み出し動作時では、磁気抵抗素子(25r)の抵抗値を検出して電圧に変換した後、第2オフセット電圧( $-V_{off}$ )を加算したものである。その第2読み出し動作時では、磁気抵抗素子(25r)の抵抗値を検出して電圧に変換したものである。第1オフセット電圧( $V_{off}$ )の符号と第2オフセット電圧( $-V_{off}$ )の符号とは逆である。

#### 【0031】

上記の磁気ランダムアクセスメモリにおいて、その第1出力電圧は、その第1読み出し動作時では、磁気抵抗素子(25r)の抵抗値を検出して電圧に変換した後、第1オフセット電圧( $V_{off}$ )を加算したものである。その第2読み出し動作時では、磁気抵抗素子(25r)の抵抗値を検出して電圧に変換したものである。その第2出力電圧は、その第1読み出し動作時では、磁気抵抗素子(25r)の抵抗値を検出して電圧に変換したものである。その第2読み出し動作時では、磁気抵抗素子(25r)の抵抗値を検出して電圧に変換した後、第2オフセット電圧( $V_{off}$ )を加算したものである。第1オフセット電圧の符号( $V_{off}$ )と第2オフセット電圧( $V_{off}$ )の符号とは同じである。

#### 【0032】

上記の磁気ランダムアクセスメモリにおいて、第1記憶部(32a)は、入力側を第1抵抗電圧変換部(31a)の出力側に接続された第1スイッチ部(43a)と、入力側を第1のスイッチ(43a)の出力側に接続された第1キャパシタ(44a)とを備える。第1判定部(33a)は、入力側を第1キャパシタ(44a)の出力側に接続された第1インバータ(46a)と、第1インバータ(46a)の入出力間に並列に接続された第2スイッチ部(45a)とを備える。第2記憶部(32b)は、入力側を第1抵抗電圧変換部(31b)の出力側に接続された第3スイッチ部(43b)と、入力側を第3のスイッチ(43b)の出力側に接続された第2キャパシタ(44b)とを備える。

第2判定部(33b)は、入力側を第2キャパシタ(44b)の出力側に接続された第

2 インバータ (46b) と、第2インバータ (46b) の入出力間に並列に接続された第4スイッチ部 (45b) とを備える。

#### 【0033】

上記の磁気ランダムアクセスメモリにおいて、その第1読み出し動作時に第1スイッチ部 (43a)、第2スイッチ部 (45a)、第3スイッチ部 (43b) 及び第4スイッチ部 (45b) が共にオンの状態である。その第2読み出し動作開始前に第1スイッチ部 (43a) 及び第3スイッチ部 (43b) がオフの状態である。その第2読み出し動作時に第2スイッチ部 (45a) 及び第4スイッチ部 (45b) をオフの状態にし、その直後に第1スイッチ部 (43a) 及び第3スイッチ部 (43b) を再びオンの状態にする。その第2読み出し動作時における判定部 (48a) の出力が参照セルの記憶情報である。

#### 【発明の効果】

#### 【0034】

本発明のトグルMRAMによれば、参照セルに格納されている情報をより確実に読み出すことが可能となる。出荷時、あるいは電源投入時、さらには使用時において、参照セルに所望の参照情報を予め書き込むことが可能となる。

#### 【発明を実施するための最良の形態】

#### 【0035】

以下、本発明のトグルMRAMの実施の形態に関して、添付図面を参照して説明する。

#### 【0036】

(第1の実施の形態)

まず、本発明のトグルMRAMの第1の実施の形態の構成について、添付図面を参照して説明する。

図1は、本発明のトグルMRAMの第1の実施の形態の構成を示すブロック図である。トグルMRAMは、コントローラ1、第1のセンスアンプ2、第2のセンスアンプ3、第1の書き込み電流源4、第2の書き込み電流源5、Yデコーダ6、Y終端回路7、Xデコーダ8、X終端回路9、セルアレイ10、複数の書き込みワード線23、複数の読み出しワード線24、複数のビット線21、参照ビット線21r、メイン参照ビット線28及び複数のメインビット線29を具備する。

#### 【0037】

セルアレイ10は、ユーザエリア11及び参照セルカラムを備える。

ユーザエリア11は、複数のメモリセル14が行列状に配列されている。メモリセル14は、磁気抵抗素子25とMOSトランジスタ26とを含む。磁気抵抗素子25は、一端をビット線21に、他端をトランジスタ26のドレインにそれぞれ接続している。記憶されるデータに対応して磁化方向が反転される自発磁化を有する。より詳細には、図15～図17に示す磁気抵抗素子である。磁気抵抗素子25は、書き込みワード線23を流れる書き込み電流 $I_{WL}$ に伴う磁界と、ビット線21を流れる書き込み電流 $I_{BL}$ に伴う磁界との影響を受ける位置に配置されている。MOSトランジスタ26は、ドレインを磁気抵抗素子25に、ソースを接地に、ゲートを読み出しワード線24にそれぞれ接続している。MOSトランジスタ26は、読み出し動作時に、ビット線21-磁気抵抗素子25-(トランジスタ26-) 接地の経路に電流を流すために用いられる。

#### 【0038】

参照セルカラムは、複数の参照セル14rが参照ビット線21rに沿って配列されている。参照セル14rは、参照ビット線21rに沿って設けられている以外は、メモリセル14と同じ構成であり、磁気抵抗素子25rとMOSトランジスタ26rを含む。

#### 【0039】

ビット線21は、第1の方向としてのY軸方向(ビット線方向)へ延伸するように設けられ、一端をYデコーダ6に、他端をY終端回路7にそれぞれ接続されている。参照ビット線21rも同様である。

書き込みワード線23は、Y軸方向に実質的に垂直な第2の方向としてのX軸方向(ワード線方向)へ延伸するように設けられ、一端をXデコーダ8に、他端をX終端回路9に

それぞれ接続されている。読み出しワード線 24 は、第 2 の方向としての X 軸方向（ワード線方向）へ延伸するように設けられ、一端を X デコーダ 8 に、他端を X 終端回路 9 にそれぞれ接続されている。

#### 【0040】

上記メモリセル 14 は、上記の複数のビット線 21 と書き込みワード線 23 及び読み出しワード線 24 の複数の組とが交差する位置のそれぞれに対応して設けられている。上記参照セル 14 r は、上記の参照ビット線 21 r と書き込みワード線 23 及び読み出しワード線 24 の複数の組とが交差する位置のそれぞれに対応して設けられている。

#### 【0041】

Y デコーダ 6 は、メモリセル 14 の読み出し動作時及び書き込み動作時のいずれの場合にも、Y アドレスの入力に基づいて、複数のビット線 21 から一つのビット線 21 を選択ビット線 21 s として選択し、参照ビット線 21 r を選択する。また、参照セル 14 r の読み出し動作時及び書き込み動作時のいずれの場合にも、Y アドレスの入力に基づいて、参照ビット線 21 r を選択する。

X デコーダ 8 は、メモリセル 14 及び参照セル 14 r の読み出し動作時に、X アドレスの入力に基づいて、複数の読み出しワード線 24 から一つの読み出しワード線 24 を選択読み出しワード線 24 s として選択する。メモリセル 14 及び参照セル 14 r の書き込み動作時に、X アドレスの入力に基づいて、複数の書き込みワード線 23 から一つの書き込みワード線 23 を選択書き込みワード線 23 s として選択する。

#### 【0042】

選択ビット線 21 s と選択書き込みワード線 23 s 又は選択読み出しワード線 24 s とで選択されるメモリセル 14 を選択セル 14 s とする。参照ビット線 21 r と選択書き込みワード線 23 s 又は選択読み出しワード線 24 s とで選択される参照セル 14 r を選択参照セル 14 r s とする。

#### 【0043】

第 1 の書き込み電流源 4 は、メモリセル 14 及び参照セル 14 r の書き込み動作時に、選択書き込みワード線 23 s へ所定の書き込み電流  $I_{WL}$  を供給する。X 終端回路 9 は、メモリセル 14 及び参照セル 14 r の書き込み動作時に、選択書き込みワード線 23 s に流れる書き込み電流  $I_{WL}$  を終端する。

第 2 の書き込み電流源 5 は、メモリセル 14 及び参照セル 14 r の書き込み動作時に、選択ビット線 21 s へ所定の書き込み電流  $I_{BL}$  を供給する。Y 終端回路 7 は、メモリセル 14 及び参照セル 14 r の書き込み動作時に、選択ビット線 21 s に流れる書き込み電流  $I_{BL}$  を終端する。

#### 【0044】

第 1 のセンスアンプ 2 は、メモリセル 14 の読み出し動作時に、メインビット線 29 - Y デコーダ 6 - 選択ビット線 21 s - 選択メモリセル 14 s と流れる読み出し電流  $I_R$  と、メイン参照ビット線 28 - Y デコーダ 6 - 参照ビット線 21 r - 選択参照セル 14 r s と流れる参照読み出し電流  $I_r$  とを比較することにより、選択メモリセル 14 s の状態を検出する。それにより、選択メモリセル 14 s のデータを読み出す。

#### 【0045】

第 2 のセンスアンプ 3 は、メイン参照ビット線 28 - Y デコーダ 6 - 参照ビット線 21 r - 選択参照セル 14 r s と流れる参照読み出し電流  $I_r$  と、選択参照セル 14 r s に一回トグル動作を行った後における参照読み出し電流  $I_r$  とを比較することにより、参照セル 14 r の状態を検出する。それにより、参照セル 14 r のデータを読み出す。

#### 【0046】

メインビット線 29 は、一つのユーザエリア 11 における選択ビット線 21 s と第 1 のセンスアンプ 2 とを接続する。

メイン参照ビット線 28 は、参照ビット線 21 r と第 1 のセンスアンプ 2 及び第 2 のセンスアンプ 3 とを接続する。

コントローラ 1 は、データの読み出し動作及び書き込み動作のタイミングに対応して、

第1のセンスアンプ2、第2のセンスアンプ3、第1の書き込み電流源4、第2の書き込み電流源5を制御する。

【0047】

本発明のトグルMRAMは、通常のメモリセル14の記憶情報を検出する通常の第1のセンスアンプ2とは別に、参照セル自身の記憶情報を検出する専用の第2のセンスアンプ3を備えている。第1のセンスアンプ2は、選択メモリセル14sの状態と選択参照セル14rsの状態とを比較することで選択メモリセル14sの記憶情報を読み出す。これに対し、第2のセンスアンプ3は、参照セル14r自身のトグル動作前後の二つの状態を比較することで参照セル14rの記憶情報を読み出すことができる。それにより、参照情報を参照セル14rへ高い信頼性でプログラムすることが可能となる。加えて、第2のセンスアンプ3の信号量は、ユーザエリア11の第1のセンスアンプ2の信号量の2倍を確保できるため、センス結果の信頼性が高く、より高い信頼性で参照セル14rのプログラムが可能となる。

【0048】

第2のセンスアンプ3は、抵抗-電圧変換部31と記憶部32と判定部33とを具備している。抵抗-電圧変換部31は、参照セル14rの磁気抵抗素子25rの抵抗値（電流値）を検出して電圧に変換する。記憶部32は、抵抗-電圧変換部31の出力電圧を一時的に保持する。判定部33は、抵抗-電圧変換部31の今回の出力電圧と記憶部32の出力電圧（抵抗-電圧変換部31の前回の出力電圧）から参照セル14rに格納されていた情報を判定する。

【0049】

なお、本発明の係るところはトグルMRAMにおける参照セル14rの読み出し（センス）動作及び書き込み（プログラム）動作であり、通常のメモリセル14の読み出し動作及び書き込み動作については従来のトグルMRAMと同様（図18～図20の説明と同様）であるためここでは説明を省略する。

【0050】

次に、本発明のトグルMRAMの第1の実施の形態の動作について、添付図面を参照して説明する。

図2は、本発明のトグルMRAMの第1の実施の形態の動作を示すフローチャートである。この図では、トグルMRAMの参照セルのプログラム方法（書き込み方法）を示している。

【0051】

(1) ステップS01

Xデコーダ8は、選択読み出しワード線24sを選択する。Yデコーダ6は、参照ビット線21rを選択する。それにより、選択参照セル14rsが選択される。選択参照セル14rsのMOSトランジスタ26はオンになる。

(2) ステップS02

選択参照セル14rsについて、読み出し動作（第1のセンス動作）を行う。すなわち、第2のセンスアンプ3（の抵抗-電圧変換部31）は、第2のセンスアンプ3と選択参照セル14rs（接地）との間に所定の電圧を印加し、メイン参照ビット線28-Yデコーダ6-参照ビット線21r-選択参照セル14rsの経路に、参照読み出し電流 $I_r$ を流す。この結果、第2のセンスアンプ3（の抵抗-電圧変換部31）は、選択参照セル14rsの磁気抵抗素子25rの抵抗値 $R_{ref}(1st)$ を検出する。

(3) ステップS03

第2のセンスアンプ3（の記憶部32）は、抵抗値 $R_{ref}(1st)$ を一時的に記憶する。

(4) ステップS04

選択参照セル14rsについて、書き込み動作（第1のトグル動作）を行う。書き込み動作（トグル動作）については、図18～図20の説明に記載の通りである。

(5) ステップS05

選択参照セル14rsについて、第2のセンスアンプ3（の抵抗－電圧変換部31）は、再び、読み出し動作（第2のセンス動作）を行う。それにより、第2のセンスアンプ3（の抵抗－電圧変換部31）は、選択参照セル14rsの磁気抵抗素子25rの抵抗値 $R_{ref}(2nd)$ を検出する。

（6）ステップS06

第2のセンスアンプ3（の判定部33）は、 $R_{ref}(1st)$ と $R_{ref}(2nd)$ との大小を比較する。

（7）ステップS07

低抵抗の場合を「0」、高抵抗の場合を「1」とすれば、 $R_{ref}(1st) < R_{ref}(2nd)$ であれば（ステップS06：yes）、読み出し結果（センス結果）は「0」である。すなわち、元々（ステップS04の書き込み動作より前）の選択参照セル14rsのデータは「0」である。ただし、ステップS07時点では、選択参照セル14rsのデータは「1」である。

次に、第2のセンスアンプ3（の判定部33）は、参照セル14rに格納すべき参照情報が「0」である場合に第2のトグル動作を実行するか否かを判定する。参照セル14rに格納すべき参照情報が「1」の場合（ステップS07：no）、このまま動作を終了する。

（8）ステップS08

参照セル14rに格納すべき参照情報が「0」の場合（ステップS07：yes）、選択参照セル14rsについて、再び、書き込み動作（第2のトグル動作）を行う。書き込み動作（トグル動作）については、図18～図20の説明に記載の通りである。これにより、選択参照セル14rsのデータは、元々の「0」に戻る。

（9）ステップS09

$R_{ref}(1st) > R_{ref}(2nd)$ であれば（ステップS06：no）、読み出し結果（センス結果）は「1」である。すなわち、元々（ステップS04の書き込み動作より前）の選択参照セル14rsのデータは「1」である。ただし、ステップS09時点では、選択参照セル14rsのデータは「0」である。

次に、第2のセンスアンプ3（の判定部33）は、参照セル14rに格納すべき参照情報が「1」である場合に第2のトグル動作を実行するか否かを判定する。参照セル14rに格納すべき参照情報が「0」の場合（ステップS09：no）、このまま動作を終了する。

（8）ステップS10

参照セル14rに格納すべき参照情報が「1」の場合（ステップS09：yes）、選択参照セル14rsについて、再び、書き込み動作（第2のトグル動作）を行う。書き込み動作（トグル動作）については、図18～図20の説明に記載の通りである。これにより、選択参照セル14rsのデータは、元々の「1」に戻る。

【0052】

本発明より、トグルMRAMにおける参照セルに参照情報を高い信頼性でプログラムすることが可能となる。

【0053】

以上説明した参照セル14rの読み出し（センス）動作及び書き込み（プログラム）動作に使用される第2のセンスアンプ回路の具体例について説明する。

【0054】

図3は、第2のセンスアンプの構成を示す回路図である。抵抗－電圧変換部31は、トランジスタ41と負荷42とを含むゲート接地増幅回路により構成されている。トランジスタ41のゲートにはバイアス電圧 $V_b$ が供給されており、ドレインを負荷42に、ソースをメイン参照ビット線28に接続されている。バイアス電圧 $V_b$ により、トランジスタ41のソース、即ちメイン参照ビット線28にはMTJ（磁気抵抗素子25r）の破壊電圧以上の電圧が印加されないように作用する。負荷42は、一方の端子を電圧源 $V_c$ に、他方の端子をトランジスタ41のドレインに接続されている。第1の読み出し動作（セン



ス動作) 時に、参照セル14rの磁気抵抗素子25rの抵抗値 $R_{ref}$ と負荷42とで定電圧 $V_c$ を分圧し、抵抗値 $R_{ref}$ に比例する電圧 $V_{ref}$  ( $=k \cdot R_{ref}$ ) を出力する。 $V_{ref}$ は、トランジスタ41のドレイン側の電圧である。すなわち、ここでは図2のフローにおける $R_{ref}$ を $V_{ref}$ に対応させて動作している。

#### 【0055】

記憶部32は、第1のスイッチ部43とキャパシタ44とを含む。第1のスイッチ部43は、一方の端子をトランジスタ41のドレインに、他方の端子をキャパシタ44の一方の端子に接続されている。オン/オフのタイミングは制御信号 $\phi_1$ により制御される。キャパシタ44は、一方の端子を第1のスイッチ43の他方の端子に、他方の端子をインバータ46の入力側端子に接続されている。第1のスイッチ部43の、第1の読み出し動作(センス動作)時に出力された $V_{ref}$ に対応する電荷をキャパシタ44に蓄積することにより、 $V_{ref}$ を記憶する。

#### 【0056】

判定部33は、第2のスイッチ部45とインバータ46とラッチ回路47と排他的論理和ゲート48とを含む。第2のスイッチ部45は、一方の端子をインバータ46の入力側端子に、他方の端子をインバータ46の出力側端子に接続されている。オン/オフのタイミングは制御信号 $\phi_2$ により制御される。インバータ46は、入力側端子をキャパシタ44の他方の端子に、出力側端子をラッチ回路47の入力側端子に接続されている。ラッチ回路47は、入力側端子をインバータ46の出力側端子に接続され、出力側端子は、出力信号DOU Tとして出力すると共に、排他的論理和ゲートの一方の入力側端子に接続されている。データ出力のタイミングは制御信号 $\phi_3$ により制御される。排他的論理和ゲート48は、一方の入力側端子をラッチ回路47の出力側端子に、他方の入力側端子を参照セル14rにプログラムしようとする(記憶されるべき)参照情報を供給する信号線に接続されている。排他的論理和ゲート48は、判定信号としての第2のトグル動作のイネーブル信号であるTG2ENを出力する。

#### 【0057】

図4は、図2の第1の実施の形態の動作のフローチャートに対応するタイミングチャートを示す図である。ここでは図2のフローにおける $R_{ref}$ を $V_{ref}$ に対応させて動作している。

選択参照セル14rsを選択(ステップS01)後、第1のセンス動作(ステップS02)時では、制御信号 $\phi_2$ がハイレベルとなり、第2のスイッチ45がオン状態となる。この時、インバータ46の入力電圧 $V_i$ と出力電圧 $V_o$ は等しくなる。次に、制御信号 $\phi_1$ がハイレベルとなり、第1のスイッチ43がオン状態となる。この時、キャパシタ44の両端電圧は $V_{ref}(1st) - V_i$ となる。第1のセンス動作が終了し、制御信号 $\phi_1$ がローレベルとなり、第1のスイッチ43がオフ状態となる。これにより、キャパシタ44の両端電圧は保持される(ステップS03)。

#### 【0058】

第1のトグル動作(ステップS04)終了後、第2のセンス動作が開始される。この時、抵抗-電圧変換部31は電圧 $V_{ref}(2nd)$ を出力する(ステップS05)。第2のスイッチ45をオフ状態(制御信号 $\phi_2$ :ローレベル)にしてから第1のスイッチ43をオン状態(制御信号 $\phi_1$ :ハイレベル)にすると、キャパシタ44のカップリング作用により $V_i$ は $dV = V_{ref}(1st) - V_{ref}(2nd)$ だけシフトする(ステップS06)。例えば、ステップS04の第1のトグル動作で初期状態「0」から「1」にトグルされた場合、 $V_{ref}(1st) < V_{ref}(2nd)$ である(ステップS06: yes)。従って、インバータ46の出力信号は「0」レベルになる。逆に、初期状態「1」から「0」にトグルされた場合、 $V_{ref}(1st) > V_{ref}(2nd)$ である(ステップS06: no)。従って、インバータ46の出力信号は「1」レベルとなる。制御信号 $\phi_3$ の立ち上がりエッジでインバータ46の出力信号がラッチ回路47によりラッチされ、センス結果DOU T(選択参照セル14rsに当初格納されていたデータ)が出力される。

**【0059】**

(記憶されるべき) 参照信号とセンス結果DOUTが等しければ(ステップS07: yes、ステップS09: yes)、第2のトグル動作を実行する排他的論理和ゲート48により信号TG2ENが活性化される。それにより、第2のトグル動作が実行される(ステップS08、ステップS10)。異なっていればTG2ENが不活性になる。

**【0060】**

図5及び図6は、図2の第1の実施の形態の動作におけるVref、Vi及びVoの関係を示すグラフである。左側の図がVref及びViの時間変化の関係を示し、縦軸は電圧の大きさ、横軸は時間(経過)を示す。右側の図がViとVoとの関係(インバータ46の特性)を示し、縦軸はVi、横軸はVoを示す。図5は選択参照セル14rsに初期状態(当初格納していたデータ)が「0」の場合を示し、図6は「1」の場合を示す。

**【0061】**

図5の左側の図に示すように、 $V_{ref}(1st) = 「0」$ (ステップS01~S03)は、トグル動作(ステップS04)により、 $V_{ref}(2nd) = 「1」$ となり、 $dV = V_{ref}(1st) - V_{ref}(2nd) > 0$ 分だけ電圧が変化( $dV$ だけ上昇)する(ステップS05)。それに伴い、Viの電圧も同じ $dV > 0$ 分だけ電圧が変化する。その結果、右図のようにインバータ46は、ローレベルのVo(=「0」)を出力する(ステップS06)。

**【0062】**

図6の左側の図に示すように、 $V_{ref}(1st) = 「1」$ (ステップS01~S03)は、トグル動作(ステップS04)により、 $V_{ref}(2nd) = 「0」$ となり、 $dV = V_{ref}(1st) - V_{ref}(2nd) < 0$ 分だけ電圧が変化( $|dV|$ だけ減少)する(ステップS05)。それに伴い、Viの電圧も同じ $dV < 0$ 分だけ電圧が変化する。その結果、右図のようにインバータ46は、ハイレベルのVo(=「1」)を出力する(ステップS06)。

**【0063】**

このような第2のセンスアンプ3を用いることで、トグルMRAMにおける参照セルに参照情報を高い信頼性でプログラムすることが可能となる。

**【0064】**

図7は、本発明のトグルMRAMの第1の実施の形態の動作を示すフローチャートである。この図では、トグルMRAMの参照セルのセンス方法(読み出し方法)を示している。

**【0065】****(1) ステップS21**

Xデコーダ8は、選択読み出しワード線24sを選択する。Yデコーダ6は、参照ビット線21rを選択する。それにより、選択参照セル14rsが選択される。選択参照セル14rsのMOSトランジスタ26はオンになる。

**(2) ステップS22**

選択参照セル14rsについて、読み出し動作(第1のセンス動作)を行う。すなわち、第2のセンスアンプ3(の抵抗-電圧変換部31)は、第2のセンスアンプ3と選択参照セル14rs(接地)との間に所定の電圧を印加し、メイン参照ビット線28-Yデコーダ6-参照ビット線21r-選択参照セル14rsの経路に、参照読み出し電流Irを流す。この結果、第2のセンスアンプ3(の抵抗-電圧変換部31)は、選択参照セル14rsの磁気抵抗素子25rの抵抗値Rref(1st)を検出する。

**(3) ステップS23**

第2のセンスアンプ3(の記憶部32)は、抵抗値Rref(1st)を一時的に記憶する。

**(4) ステップS24**

選択参照セル14rsについて、書き込み動作(第1のトグル動作)を行う。書き込み動作(トグル動作)については、図18~図20の説明に記載の通りである。

## (5) ステップ S 2 5

選択参照セル 1 4 r s について、第 2 のセンスアンプ 3 (の抵抗-電圧変換部 3 1) は、再び、読み出し動作 (第 2 のセンス動作) を行う。それにより、第 2 のセンスアンプ 3 (の抵抗-電圧変換部 3 1) は、選択参照セル 1 4 r s の磁気抵抗素子 2 5 r の抵抗値  $R_{ref}(2nd)$  を検出する。

## (6) ステップ S 2 6

第 2 のセンスアンプ 3 (の判定部 3 3) は、 $R_{ref}(1st)$  と  $R_{ref}(2nd)$  との大小を比較する。

## (7) ステップ S 2 7

低抵抗の場合を「0」、高抵抗の場合を「1」とすれば、 $R_{ref}(1st) < R_{ref}(2nd)$  であれば (ステップ S 0 6 : yes)、読み出し結果 (センス結果) は「0」である。すなわち、元々 (ステップ S 0 4 の書き込み動作より前) の選択参照セル 1 4 r s のデータは「0」と読み出すことができる。ただし、ステップ S 2 7 時点では、選択参照セル 1 4 r s のデータは「1」である。

## (8) ステップ S 2 8

$R_{ref}(1st) > R_{ref}(2nd)$  であれば (ステップ S 0 6 : no)、読み出し結果 (センス結果) は「1」である。すなわち、元々 (ステップ S 0 4 の書き込み動作より前) の選択参照セル 1 4 r s のデータは「1」と読み出すことができる。ただし、ステップ S 2 8 時点では、選択参照セル 1 4 r s のデータは「0」である。

## (9) ステップ S 2 9

選択参照セル 1 4 r s について、再び、書き込み動作 (第 2 のトグル動作) を行う。書き込み動作 (トグル動作) については、図 1 8 ~ 図 2 0 の説明に記載の通りである。これにより、選択参照セル 1 4 r s のデータは、元々のデータに戻る。

## 【0066】

図 3 に示す第 2 のセンスアンプにおいて、図 7 の読み出し動作の場合、ステップ S 2 7 又はステップ S 2 8 の読み出しデータとして、ラッチ回路 4 7 のセンス結果 DOUT を用いることができる。すなわち、このような第 2 のセンスアンプ 3 を用いることで、他のセルのデータと比較すること無く、トグル MRAM における参照セルのデータを読み出すことができる。

## 【0067】

(第 2 の実施の形態)

次に、本発明のトグル MRAM の第 2 の実施の形態について、添付図面を参照して説明する。

## 【0068】

まず、本発明のトグル MRAM の第 2 の実施の形態の構成について、添付図面を参照して説明する。

図 8 は、本発明のトグル MRAM の第 2 の実施の形態による構成を示すブロック図である。この本発明のトグル MRAM の第 2 の実施の形態による構成は図 1 に示すものと同様である。ただし、本実施の形態では、第 2 のセンスアンプ 3 の構成と参照セルプログラムの方法が第 1 の実施の構成とは異なる。トグル動作を検出する回路を設けて参照セル 1 4 r へのトグル動作が実行できたか否かをモニタし、否の場合はさらに書き込み電流値を増大させる。それにより、より高い信頼性で参照セルのプログラムが可能となる。

## 【0069】

第 2 のセンスアンプ 3 は、第 1 の抵抗-電圧変換部 3 1 a、第 1 の記憶部 3 2 a、第 1 の判定部 3 3 a、第 2 の抵抗-電圧変換部 3 1 b、第 2 の記憶部 3 2 b、第 2 の判定部 3 3 b、判定回路 4 8 a とを具備している。第 1 及び第 2 の抵抗-電圧変換部 3 1 a 及び 3 1 b は、参照セル 1 4 r の磁気抵抗素子 2 5 r の抵抗値 (電流値) を検出して電圧に変換し、所定の正オフセット電圧及び負オフセット電圧を加える。第 1 及び第 2 の記憶部 3 2 a 及び 3 2 b は、対応する抵抗-電圧変換部 3 1 (3 1 a 及び 3 1 b) の出力電圧を一時的に保持する。第 1 及び第 2 の判定部 3 3 a 及び 3 3 b は、対応する抵抗-電圧変換部 3

1 の今回の出力電圧と対応する記憶部 3 2 ( 3 2 a 及び 3 2 b ) の出力電圧 ( 抵抗 - 電圧変換部 3 1 の前回の出力電圧 ) とを比較する。判定回路 4 8 a は、比較結果に基づいて、参照セル 1 4 r に格納されていた情報を判定する。

【 0 0 7 0 】

他の構成については、第 1 の実施の構成と同じであるのでその説明を省略する。通常のメモリセル 1 4 の読み出し動作及び書き込み動作については従来のトグル M R A M と同様 ( 図 1 8 ~ 図 2 0 の説明と同様 ) であるためここでは説明を省略する。

【 0 0 7 1 】

次に、本発明のトグル M R A M の第 2 の実施の形態の動作について、添付図面を参照して説明する。

図 9 は、本発明のトグル M R A M の第 2 の実施の形態の動作を示すフローチャートである。この図では、トグル M R A M の参照セルのプログラム方法 ( 書き込み方法 ) を示している。

【 0 0 7 2 】

( 1 ) ステップ S 4 1

X デコーダ 8 は、選択読み出しワード線 2 4 s を選択する。Y デコーダ 6 は、参照ビット線 2 1 r を選択する。それにより、選択参照セル 1 4 r s が選択される。選択参照セル 1 4 r s の MOS トランジスタ 2 6 はオンになる。

( 2 ) ステップ S 4 2

選択参照セル 1 4 r s について、読み出し動作 ( 第 1 のセンス動作 ) を行う。すなわち、第 2 のセンスアンプ 3 ( の第 1 及び第 2 の抵抗 - 電圧変換部 3 1 a 及び 3 1 b ) は、第 2 のセンスアンプ 3 と選択参照セル 1 4 r s ( 接地 ) との間に所定の電圧を印加し、メイン参照ビット線 2 8 - Y デコーダ 6 - 参照ビット線 2 1 r - 選択参照セル 1 4 r s の経路に、参照読み出し電流  $I_r$  を流す。この結果、第 2 のセンスアンプ 3 の第 1 及び第 2 の抵抗 - 電圧変換部 3 1 a 及び 3 1 b は、それぞれ、選択参照セル 1 4 r s の磁気抵抗素子 2 5 r の抵抗値  $R_{ref1} (1st)$  及び  $R_{ref2} (1st)$  を検出する。

( 3 ) ステップ S 4 3

第 2 のセンスアンプ 3 の第 1 及び第 2 の記憶部 3 2 a 及び 3 2 b は、それぞれ、抵抗値  $R_{ref1} (1st)$  及び  $R_{ref2} (1st)$  を一時的に記憶する。

( 4 ) ステップ S 4 4

選択参照セル 1 4 r s について、書き込み動作 ( 第 1 のトグル動作 ) を行う。書き込み動作 ( トグル動作 ) については、図 1 8 ~ 図 2 0 の説明に記載の通りである。

( 5 ) ステップ S 4 5

選択参照セル 1 4 r s について、第 2 のセンスアンプ 3 の第 1 及び第 2 の抵抗 - 電圧変換部 3 1 a 及び 3 1 b は、それぞれ、再び、読み出し動作 ( 第 2 のセンス動作 ) を行う。それにより、第 2 のセンスアンプ 3 の第 1 及び第 2 の抵抗 - 電圧変換部 3 1 a 及び 3 1 b は、それぞれ、選択参照セル 1 4 r s の磁気抵抗素子 2 5 r の抵抗値  $R_{ref1} (2nd)$  及び  $R_{ref2} (2nd)$  を検出する。

( 6 ) ステップ S 4 6

第 2 のセンスアンプ 3 の第 1 の判定部 3 3 a は、抵抗値  $R_{ref1} (1st)$  と抵抗値  $R_{ref1} (2nd)$  との大小関係を示す信号 Q 1 を出力する。第 2 の判定部 3 3 b は、抵抗値  $R_{ref2} (1st)$  と抵抗値  $R_{ref2} (2nd)$  との大小関係を示す信号 Q 2 を出力する。判定回路 4 8 a は、信号 Q 1 と信号 Q 2 とが一致するか否かを判定する。一致する場合 ( ステップ S 4 6 : yes ) 、第 1 のトグル動作が正常に実行されているので、ステップ S 4 8 へ進む。一致していない場合 ( ステップ S 4 6 : no ) 、第 1 のトグル動作が正常に実行されていないので、ステップ S 4 7 へ進む。

( 7 ) ステップ S 4 7

第 1 のトグル動作が正常に実行されていないので、書き込み電流  $I_{wL}$  及び書き込み電流  $I_{BL}$  を所定の大きさだけ増加し、ステップ S 4 2 から再度実行する。

( 8 ) ステップ S 4 8

第2のセンスアンプ3の判定回路48aは、 $R_{ref}(1st)$ と $R_{ref}(2nd)$ との大小関係(= $R_{ref1}(1st)$ と $R_{ref1}(2nd)$ との大小関係= $R_{ref2}(1st)$ と $R_{ref2}(2nd)$ との大小関係)を求める。すなわち、互いに一致している信号Q1と信号Q2とが、「0」か「1」かを判定する。

(9) ステップS49

低抵抗の場合を「0」、高抵抗の場合を「1」とすれば、 $R_{ref}(1st) < R_{ref}(2nd)$ であれば(ステップS48: yes)、読み出し結果(センス結果)は「0」である。すなわち、元々(ステップS44の書き込み動作前)の選択参照セル14rsのデータは「0」である。ただし、ステップS49時点では、選択参照セル14rsのデータは「1」である。

次に、第2のセンスアンプ3の判定回路48aは、参照セル14rに格納すべき参照情報が「0」である場合に第2のトグル動作を実行するか否かを判定する。参照セル14rに格納すべき参照情報が「1」の場合(ステップS49: no)、このまま動作を終了する。

(10) ステップS50

参照セル14rに格納すべき参照情報が「0」の場合(ステップS49: yes)、選択参照セル14rsについて、再び、書き込み動作(第2のトグル動作)を行う。書き込み動作(トグル動作)については、図18~図20の説明に記載の通りである。これにより、選択参照セル14rsのデータは、元々の「0」に戻る。

(11) ステップS51

$R_{ref}(1st) > R_{ref}(2nd)$ であれば(ステップS48: no)、読み出し結果(センス結果)は「1」である。すなわち、元々(ステップS44の書き込み動作前)の選択参照セル14rsのデータは「1」である。ただし、ステップS51時点では、選択参照セル14rsのデータは「0」である。

次に、第2のセンスアンプ3の判定回路48aは、参照セル14rに格納すべき参照情報が「1」である場合に第2のトグル動作を実行するか否かを判定する。参照セル14rに格納すべき参照情報が「0」の場合(ステップS51: no)、このまま動作を終了する。

(12) ステップS52

参照セル14rに格納すべき参照情報が「1」の場合(ステップS51: yes)、選択参照セル14rsについて、再び、書き込み動作(第2のトグル動作)を行う。書き込み動作(トグル動作)については、図18~図20の説明に記載の通りである。これにより、選択参照セル14rsのデータは、元々の「1」に戻る。

【0073】

本発明より、トグルMRAMにおける参照セルに参照情報を高い信頼性でプログラムすることが可能となる。

【0074】

以上説明した参照セル14rの読み出し(センス)動作及び書き込み(プログラム)動作に使用される第2のセンスアンプ回路の具体例について説明する。

【0075】

図10は、第2のセンスアンプの構成を示す回路図である。第1の抵抗-電圧変換部31aは、トランジスタ41aと負荷42aと加算部49aとを含むゲート接地増幅回路により構成されている。トランジスタ41aのゲートにはバイアス電圧Vbが供給されており、ドレインを負荷42aに、ソースをメイン参照ビット線28に接続されている。バイアス電圧Vbにより、トランジスタ41aのソース、即ちメイン参照ビット線28にはMTJ(磁気抵抗素子25r)の破壊電圧以上の電圧が印加されないように作用する。負荷42aは、一方の端子を電圧源Vcに、他方の端子をトランジスタ41aのドレインに接続されている。加算部49aは、ドレインと正オフセット電圧Voffを供給する配線と第1のスイッチ部43aとに接続している。第1の読み出し動作(センス動作)時に、参照セル14rの磁気抵抗素子25rの抵抗値 $R_{ref}$ と負荷42aとで定電圧Vcを分圧

し、抵抗値  $R_{ref}$  に比例する電圧  $V_{ref} (=k \cdot R_{ref})$  に、オフセット電圧  $V_{off}$  を加えた  $V_{ref1} = k \cdot R_{ref} + V_{off}$  を出力する。 $V_{ref}$  は、トランジスタ 41a のドレイン側の電圧である。

**【0076】**

第1の記憶部 32a は、第1のスイッチ部 43a とキャパシタ 44a とを含む。第1のスイッチ部 43a は、一方の端子を加算部 49a に、他方の端子をキャパシタ 44a の一方の端子に接続されている。オン／オフのタイミングは制御信号  $\phi 1$  により制御される。キャパシタ 44a は、一方の端子を第1のスイッチ 43a の他方の端子に、他方の端子をインバータ 46a の入力側端子に接続されている。第1のスイッチ部 43a の、第1の読み出し動作（センス動作）時に出力された  $V_{ref1}$  に対応する電荷をキャパシタ 44a に蓄積することにより、 $V_{ref1}$  を記憶する。

**【0077】**

第1の判定部 33a は、第2のスイッチ部 45a とインバータ 46a とラッチ回路 47a とを含む。第2のスイッチ部 45a は、一方の端子をインバータ 46a の入力側端子に、他方の端子をインバータ 46a の出力側端子に接続されている。オン／オフのタイミングは制御信号  $\phi 2$  により制御される。インバータ 46a は、入力側端子をキャパシタ 44a の他方の端子に、出力側端子をラッチ回路 47a の入力側端子に接続されている。ラッチ回路 47a は、入力側端子をインバータ 46a の出力側端子に接続され、出力側端子は、出力信号  $Q1$  として出力すると共に、判定回路 48a の一つの入力側端子に接続されている。データ出力のタイミングは制御信号  $\phi 3$  により制御される。

**【0078】**

第2の抵抗-電圧変換部 31b は、トランジスタ 41b と負荷 42b と加算部 49b とを含むゲート接地増幅回路により構成されている。トランジスタ 41b のゲートにはバイアス電圧  $V_b$  が供給されており、ドレインを負荷 42b に、ソースをメイン参照ビット線 28 に接続されている。バイアス電圧  $V_b$  により、トランジスタ 41b のソース、即ちメイン参照ビット線 28 には  $MTJ$ （磁気抵抗素子 25r）の破壊電圧以上の電圧が印加されないように作用する。負荷 42b は、一方の端子を電圧源  $V_c$  に、他方の端子をトランジスタ 41b のドレインに接続されている。加算部 49b は、ドレインと負オフセット電圧  $-V_{off}$  を供給する配線と第2のスイッチ部 43b とに接続している。第1の読み出し動作（センス動作）時に、参照セル 14r の磁気抵抗素子 25r の抵抗値  $R_{ref}$  と負荷 42b とで定電圧  $V_c$  を分圧し、抵抗値  $R_{ref}$  に比例する電圧  $V_{ref} (=k \cdot R_{ref})$  に、オフセット電圧  $-V_{off}$  を加えた  $V_{ref2} = k \cdot R_{ref} - V_{off}$  を出力する。 $V_{ref}$  は、トランジスタ 41b のドレイン側の電圧である。

**【0079】**

第2の記憶部 32b は、第3のスイッチ部 43b とキャパシタ 44b とを含む。第3のスイッチ部 43b は、一方の端子を加算部 49b に、他方の端子をキャパシタ 44b の一方の端子に接続されている。オン／オフのタイミングは制御信号  $\phi 1$  により制御される。キャパシタ 44b は、一方の端子を第1のスイッチ 43b の他方の端子に、他方の端子をインバータ 46b の入力側端子に接続されている。第1のスイッチ部 43b の、第1の読み出し動作（センス動作）時に出力された  $V_{ref2}$  に対応する電荷をキャパシタ 44a に蓄積することにより、 $V_{ref2}$  を記憶する。

**【0080】**

第2の判定部 33b は、第4のスイッチ部 45b とインバータ 46b とラッチ回路 47b とを含む。第4のスイッチ部 45b は、一方の端子をインバータ 46b の入力側端子に、他方の端子をインバータ 46b の出力側端子に接続されている。オン／オフのタイミングは制御信号  $\phi 2$  により制御される。インバータ 46b は、入力側端子をキャパシタ 44b の他方の端子に、出力側端子をラッチ回路 47b の入力側端子に接続されている。ラッチ回路 47b は、入力側端子をインバータ 46b の出力側端子に接続され、出力側端子は、出力信号  $Q2$  として出力すると共に、判定回路 48a の一つの入力側端子に接続されている。データ出力のタイミングは制御信号  $\phi 3$  により制御される。

## 【0081】

判定回路48aは、第1の判定部33a及び第2の判定部33bに共通であり、第1の入力側端子をラッチ回路47aの出力側端子に、第2の入力側端子をラッチ回路47bの出力端子に、第3の入力側端子を参照セル14rにプログラムしようとする（記憶されるべき）参照情報を供給する信号線にそれぞれ接続されている。そして、第1のトグル動作が実行されたか否かを判定し、且つ、第2のトグル動作を実行するか否かを判定し、判定結果として出力信号DOUT、第2トグルイネーブル信号TG2EN、グルエラー信号TGERRを出力する。

## 【0082】

次に、図9と図10との関係について説明する

選択参照セル14rsを選択する。（ステップS41）

その後、第1のセンス動作時では、制御信号 $\phi_1$ がハイレベルとなり、第1のスイッチ43aがオン状態となる。この時、第1の抵抗-電圧変換部31aから、参照セルの抵抗値に比例する電圧にオフセット電圧Voffが加えられた電圧 $V_{ref1}(1st) = k \cdot R_{ref} + V_{off}$ が出力される。ここで、Voffは「0」状態と「1」状態におけるVrefの差電圧よりも小さいとする。キャパシタ44aの両端電圧は $V_{ref1}(1st)$ となる。

一方、制御信号 $\phi_1$ がハイレベルとなり、第3のスイッチ43bがオン状態となる。この時、第1の抵抗-電圧変換部31bから、参照セルの抵抗値に比例する電圧にオフセット電圧-Voffが加えられた電圧 $V_{ref2}(1st) = k \cdot R_{ref} - V_{off}$ が出力される。キャパシタ44bの両端電圧は $V_{ref2}(1st)$ となる（ステップS42）。

第1のセンス動作が終了し、制御信号 $\phi_1$ がローレベルとなり、第1のスイッチ43a及び第3のスイッチ43bがオフ状態となる。これにより、キャパシタ44a及びキャパシタ44bの両端電圧は保持される。（ステップS43）。

## 【0083】

第1のトグル動作を実施する（ステップS44）。

その後、第2のセンス動作時では、第1の抵抗-電圧変換部31a及び第2の抵抗-電圧変換部31bから共にVoffを加減しない電圧 $V_{ref1}(2nd) = V_{ref2}(2nd) = k \cdot R_{ref}$ をそれぞれ出力する（ステップS45）。

第2のスイッチ45aをオフ状態（制御信号 $\phi_2$ ：ローレベル）にしてから第1のスイッチ43aをオン状態（制御信号 $\phi_1$ ：ハイレベル）にすると、キャパシタ44aのカップリング作用により、 $V_{ref1}(1st)$ から $V_{ref1}(2nd)$ へシフトする。

同様に、第4のスイッチ45bをオフ状態（制御信号 $\phi_2$ ：ローレベル）にしてから第3のスイッチ43bをオン状態（制御信号 $\phi_1$ ：ハイレベル）にすると、キャパシタ44bのカップリング作用により、 $V_{ref2}(1st)$ から $V_{ref2}(2nd)$ へシフトする。

## 【0084】

このときの状況を更に説明する。

図12は、図9の第2の実施の形態の動作における $V_{ref1}(1st)$ 及び $V_{ref1}(2nd)$ の関係を示すグラフである。縦軸は電圧の大きさ、横軸は時間（経過）を示す。上側の図は、初期状態が「0」の場合、下側の図は、初期状態が「1」の場合を示す。

## 【0085】

初期状態が「0」の場合（上側の図）、第1のセンスの段階では、 $V_{ref1}(1st) = k \cdot R_{ref} + V_{off}$ である。第2のセンスの段階において、トグル動作が成功していれば、ステップS44の第1のトグル動作で「1」へトグルされるので、 $V_{ref1}(1st) < V_{ref1}(2nd)$ となるはずである。この場合、第1のラッチ回路47aの出力信号Q1は「0」を出力（図5と同様）となる。しかし、トグル動作が失敗していれば、逆の $V_{ref1}(1st) > V_{ref1}(2nd)$ となるはずである。この場合

、第1のラッチ回路47aの出力信号Q1は「1」を出力(図6と同様)となる。

#### 【0086】

ただし、初期状態が「1」の場合(下側の図)には、事情が異なる。トグル動作が成功していれば、ステップS44の第1のトグル動作で「0」へトグルされるので、 $V_{ref1}(1st) > V_{ref1}(2nd)$ となるはずである。この場合、第1のラッチ回路47aの出力信号Q1は「1」を出力(図6と同様)となる。加えて、トグル動作が失敗していても、 $V_{ref1}(1st) > V_{ref1}(2nd)$ となってしまう。この場合も、第1のラッチ回路47aの出力信号Q1は「1」を出力(図6と同様)となる。

#### 【0087】

図13は、図9の第2の実施の形態の動作における $V_{ref2}(1st)$ 及び $V_{ref2}(2nd)$ の関係を示すグラフである。縦軸は電圧の大きさ、横軸は時間(経過)を示す。上側の図は、初期状態が「0」の場合、下側の図は、初期状態が「1」の場合を示す。

#### 【0088】

初期状態が「1」の場合(下側の図)、第1のセンスの段階では、 $V_{ref2}(1st) = k \cdot R_{ref} - V_{off}$ である。第2のセンスの段階において、トグル動作が成功していれば、ステップS44の第1のトグル動作で「0」へトグルされるので、 $V_{ref2}(1st) > V_{ref2}(2nd)$ となるはずである。この場合、第1のラッチ回路47bの出力信号Q2は「1」を出力(図6と同様)となる。しかし、トグル動作が失敗していれば、逆の $V_{ref2}(1st) < V_{ref2}(2nd)$ となるはずである。この場合、第1のラッチ回路47bの出力信号Q2は「0」を出力(図5と同様)となる。

#### 【0089】

ただし、初期状態が「0」の場合(上側の図)には、事情が異なる。トグル動作が成功していれば、ステップS44の第1のトグル動作で「1」へトグルされるので、 $V_{ref2}(1st) < V_{ref2}(2nd)$ となるはずである。この場合、第1のラッチ回路47bの出力信号Q2は「0」を出力(図5と同様)となる。加えて、トグル動作が失敗していても、 $V_{ref2}(1st) < V_{ref2}(2nd)$ となってしまう。この場合も、第1のラッチ回路47bの出力信号Q2は「0」を出力(図5と同様)となる。

#### 【0090】

図12及び図13の説明に示すように、第1のラッチ回路47aの出力信号Q1及び第1のラッチ回路47aの出力信号Q2から、ステップS44の第1のトグル動作が正常に行われたか否かを判定できる。すなわち、判定回路48aにより、出力信号Q1及びQ2が一致した場合、正常に行われたと判定される(ステップS46: yes)。そして、判定回路48aにより、トグルエラー信号TGERRが「0」が出力される。一方、出力信号Q1及びQ2が一致しなかった場合、正常に行われなかったと判定される(ステップS46: no)。そして、判定回路48aにより、トグルエラー信号TGERRが「1」が出力される。

#### 【0091】

続いて、判定回路48aにより、 $R_{ref}(1st)$ と $R_{ref}(2nd)$ との大小関係( $= R_{ref1}(1st)$ と $R_{ref1}(2nd)$ との大小関係 $= R_{ref2}(1st)$ と $R_{ref2}(2nd)$ との大小関係)が求められる。すなわち、互いに一致している出力信号Q1と信号Q2とが、「0」( $R_{ref}(1st) < R_{ref}(2nd)$ )か「1」( $R_{ref}(1st) > R_{ref}(2nd)$ )かを判定する(ステップS48)。

初期状態「0」から「1」にトグルされた場合、 $V_{ref}(1st) < V_{ref}(2nd)$ である(ステップS48: yes)。従って、出力信号Q1と信号Q2は「0」レベルになる。逆に、初期状態「1」から「0」にトグルされた場合、 $V_{ref}(1st) > V_{ref}(2nd)$ である(ステップS06: no)。従って、出力信号Q1と信号Q2は「1」レベルとなる。

#### 【0092】

(記憶されるべき) 参照信号と出力信号Q1と信号Q2が等しければ(ステップS49



: yes、ステップS51: yes)、判定回路48aにより第2のトグル動作を実行する信号TG2ENが活性化される。それにより、第2のトグル動作が実行される(ステップS50、ステップS52)。異なっていればTG2ENが不活性になる。

#### 【0093】

図11は、判定回路48aの真理値表を示す。出力信号Q1、Q2及び参照セルが記憶すべきデータを示す参照信号の状態に対応して、出力信号DOU、第2トグルイネーブル信号TG2EN、トグルエラー信号TGERRを出力する。

ID2、3、6、7は、ステップS46における第1のトグル動作のエラーの判定を示している。ID1は、参照情報が「0」、初期状態が「0」、第1のトグル動作のエラーが無く、第2のトグル動作が必要な場合を示している。ID4は、参照情報が「0」、初期状態が「1」、第1のトグル動作のエラーが無く、第2のトグル動作が不必要な場合を示している。ID5は、参照情報が「1」、初期状態が「0」、第1のトグル動作のエラーが無く、第2のトグル動作が不必要な場合を示している。ID8は、参照情報が「1」、初期状態が「1」、第1のトグル動作のエラーが無く、第2のトグル動作が必要な場合を示している。

#### 【0094】

このような第2のセンスアンプ3を用いることで、トグルMRAMにおける参照セルに参照情報を高い信頼性でプログラムすることが可能となる。

#### 【0095】

図14は、本発明のトグルMRAMの第2の実施の形態の動作を示すフローチャートである。この図では、トグルMRAMの参照セルのセンス方法(読み出し方法)を示している。

#### 【0096】

##### (1) ステップS61

Xデコーダ8は、選択読み出しワード線24sを選択する。Yデコーダ6は、参照ビット線21rを選択する。それにより、選択参照セル14rsが選択される。選択参照セル14rsのMOSトランジスタ26はオンになる。

##### (2) ステップS62

選択参照セル14rsについて、読み出し動作(第1のセンス動作)を行う。すなわち、第2のセンスアンプ3(の第1及び第2の抵抗-電圧変換部31a及び31b)は、第2のセンスアンプ3と選択参照セル14rs(接地)との間に所定の電圧を印加し、メイン参照ビット線28-Yデコーダ6-参照ビット線21r-選択参照セル14rsの経路に、参照読み出し電流Irを流す。この結果、第2のセンスアンプ3の第1及び第2の抵抗-電圧変換部31a及び31bは、それぞれ、選択参照セル14rsの磁気抵抗素子25rの抵抗値Rref1(1st)及びRref2(1st)を検出する。

##### (3) ステップS63

第2のセンスアンプ3の第1及び第2の記憶部32a及び32bは、それぞれ、抵抗値Rref1(1st)及びRref2(1st)を一時的に記憶する。

##### (4) ステップS64

選択参照セル14rsについて、書き込み動作(第1のトグル動作)を行う。書き込み動作(トグル動作)については、図18~図20の説明に記載の通りである。

##### (5) ステップS65

選択参照セル14rsについて、第2のセンスアンプ3の第1及び第2の抵抗-電圧変換部31a及び31bは、それぞれ、再び、読み出し動作(第2のセンス動作)を行う。それにより、第2のセンスアンプ3の第1及び第2の抵抗-電圧変換部31a及び31bは、それぞれ、選択参照セル14rsの磁気抵抗素子25rの抵抗値Rref1(2nd)及びRref2(2nd)を検出する。

##### (6) ステップS66

第2のセンスアンプ3の第1の判定部33aは、抵抗値Rref1(1st)と抵抗値Rref1(2nd)との大小関係を示す信号Q1を出力する。第2の判定部33bは、

抵抗値 $R_{ref2}(1st)$ と抵抗値 $R_{ref2}(2nd)$ との大小関係を示す信号 $Q2$ を出力する。判定回路48aは、信号 $Q1$ と信号 $Q2$ とが一致するか否かを判定する。一致する場合(ステップS66: yes)、第1のトグル動作が正常に実行されているので、ステップS68へ進む。一致していない場合(ステップS66: no)、第1のトグル動作が正常に実行されていないので、ステップS47へ進む。

(7) ステップS67

第1のトグル動作が正常に実行されていないので、書き込み電流 $I_{WL}$ 及び書き込み電流 $I_{BL}$ を所定の大きさだけ増加し、ステップS42から再度実行する。

(8) ステップS68

第2のセンスアンプ3の判定回路48aは、 $R_{ref}(1st)$ と $R_{ref}(2nd)$ との大小関係(= $R_{ref1}(1st)$ と $R_{ref1}(2nd)$ との大小関係= $R_{ref2}(1st)$ と $R_{ref2}(2nd)$ との大小関係)を求める。すなわち、互いに一致している信号 $Q1$ と信号 $Q2$ とが、「0」か「1」かを判定する。

(9) ステップS69

低抵抗の場合を「0」、高抵抗の場合を「1」とすれば、 $R_{ref}(1st) < R_{ref}(2nd)$ であれば(ステップS68: yes)、読み出し結果(センス結果)は「0」である。すなわち、元々(ステップS64の書き込み動作より前)の選択参照セル14rsのデータは「0」である。ただし、ステップS69時点では、選択参照セル14rsのデータは「1」である。

(10) ステップS70

$R_{ref}(1st) > R_{ref}(2nd)$ であれば(ステップS68: no)、読み出し結果(センス結果)は「1」である。すなわち、元々(ステップS64の書き込み動作より前)の選択参照セル14rsのデータは「1」である。ただし、ステップS70時点では、選択参照セル14rsのデータは「0」である。

(11) ステップS71

選択参照セル14rsについて、再び、書き込み動作(第2のトグル動作)を行う。書き込み動作(トグル動作)については、図18～図20の説明に記載の通りである。これにより、選択参照セル14rsのデータは、元々のデータに戻る。

【0097】

図9に示す第2のセンスアンプにおいて、図14の読み出し動作の場合、ステップS69又はステップS70の読み出しデータとして、判定回路48aのセンス結果DOU Tを用いることができる。すなわち、このような第2のセンスアンプ3を用いることで、他のセルのデータと比較すること無く、トグルMRAMにおける参照セルのデータを読み出すことができる。

【0098】

以上、本発明の実施の形態を図面により詳述してきたが、具体的な構成は上記の実施の形態に限られたものではなく、この発明の要旨を逸脱しない範囲の設計の変更を行うことも可能である。例えば、メモリセルの構成は図1で示したものに限られず、当業者にはよく知られた選択トランジスタを有しないクロスポイント型のメモリセルであっても良い。また、第2の実施の形態において、第1及び第2の抵抗-電圧変換回路は第2のセンス動作時においてオフセット電圧をそれぞれ加減しても良い。

【図面の簡単な説明】

【0099】

【図1】図1は、本発明のトグルMRAMの第1の実施の形態の構成を示すブロック図である。

【図2】図2は、本発明のトグルMRAMの第1の実施の形態の書き込み動作を示すフローチャートである。

【図3】図3は、第2のセンスアンプの構成を示す回路図である。

【図4】図4は、図2のフローチャートに対応するタイミングチャートを示す図である。

【図5】図5は、図2の動作における $V_{ref}$ 、 $V_i$ 及び $V_0$ の関係を示すグラフである（初期状態「0」）。

【図6】図6は、図2の動作における $V_{ref}$ 、 $V_i$ 及び $V_0$ の関係を示すグラフである（初期状態「1」）。

【図7】図7は、本発明のトグルMRAMの第1の実施の形態の読み出し動作を示すフローチャートである。

【図8】図8は、本発明のトグルMRAMの第2の実施の形態の構成を示すブロック図である。

【図9】図9は、本発明のトグルMRAMの第2の実施の形態の書き込み動作を示すフローチャートである。

【図10】図10は、第2のセンスアンプの構成を示す回路図である。

【図11】図11は、判定回路の真理値表を示す。

【図12】図12は、図10の動作における $V_{ref1}$ （1st）及び $V_{ref1}$ （2nd）の関係を示すグラフである。

【図13】図13は、図10の動作における $V_{ref2}$ （1st）及び $V_{ref2}$ （2nd）の関係を示すグラフである。

【図14】図14は、本発明のトグルMRAMの第2の実施の形態の読み出し動作を示すフローチャートである。

【図15】図15は、トグルMRAMに用いられる典型的な磁気抵抗素子の構造を示す断面図である。

【図16】図16は、トグルMRAMに用いられる典型的な磁気抵抗素子の構造を示す断面図である。

【図17】図17は、第1の先行文献におけるメモリセルの平面レイアウトを示す上面図である。

【図18】図18は、トグル動作における書き込み電流 $I_{WL}$ 及び書き込み電流 $I_{BL}$ のタイミングを示すタイミングチャートである。

【図19】図19は、トグル動作における第1及び第2のフリー層磁化の方向の変化を示す図である。

【図20】図20は、トグル動作における第1及び第2のフリー層磁化の方向の変化を示す図である。

【図21】図21は、書き込み電流 $I_{WL}$ 及び書き込み電流 $I_{BL}$ とトグルされるメモリセル（磁気抵抗素子）との関係を示すグラフである。

#### 【符号の説明】

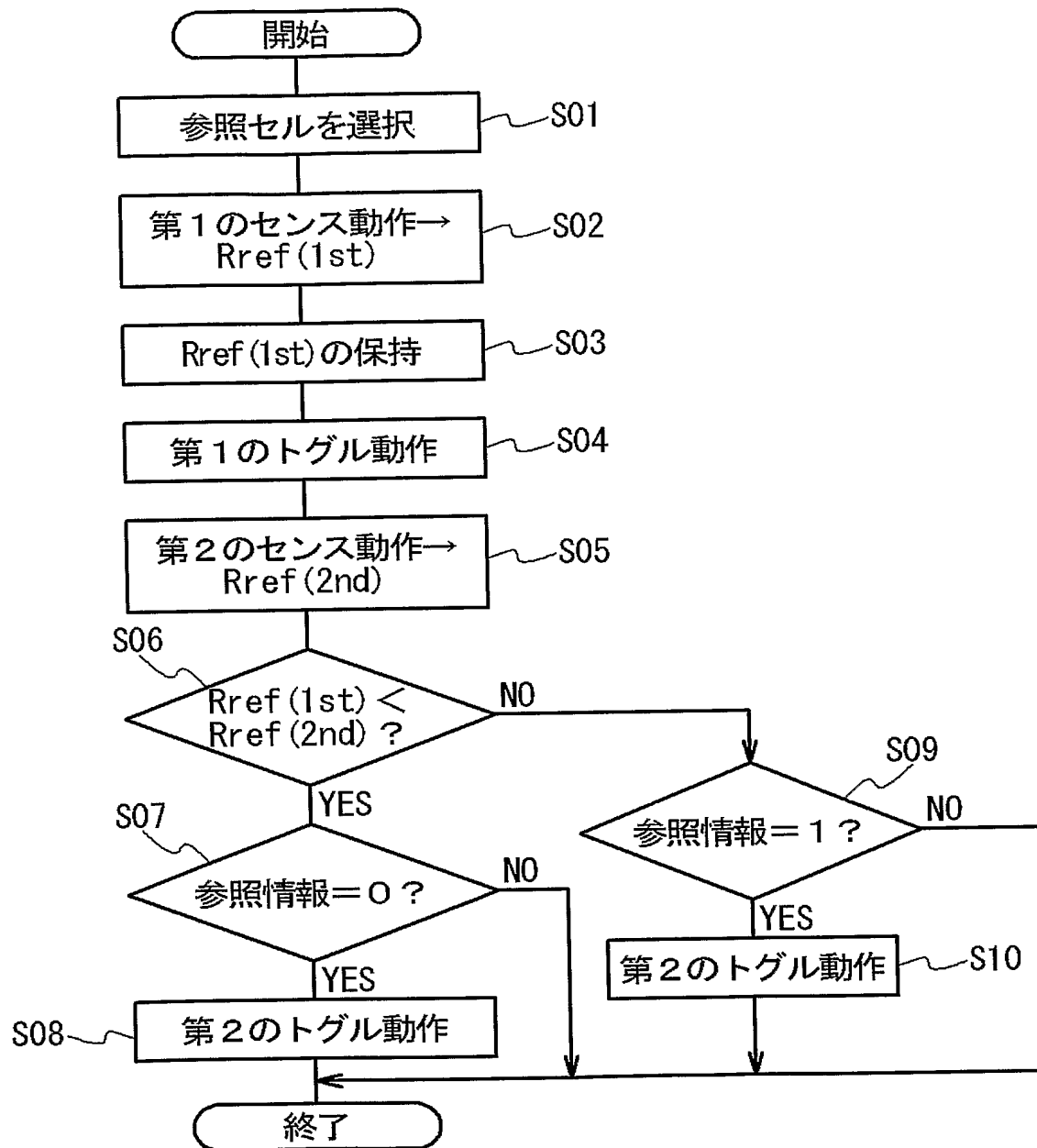
##### 【0100】

- 1     コントローラ
- 2     第1のセンスアンプ
- 3     第2のセンスアンプ
- 4     第1の書き込み電流源
- 5     第2の書き込み電流源
- 6     Yデコーダ
- 7     Y終端回路
- 8     Xデコーダ
- 9     X終端回路
- 10    メモリアレイ
- 11    ユーザエリア
- 12    参照セルカラム
- 14    メモリセル
- 14 r   参照セル
- 21    ビット線
- 21 r   参照ビット線

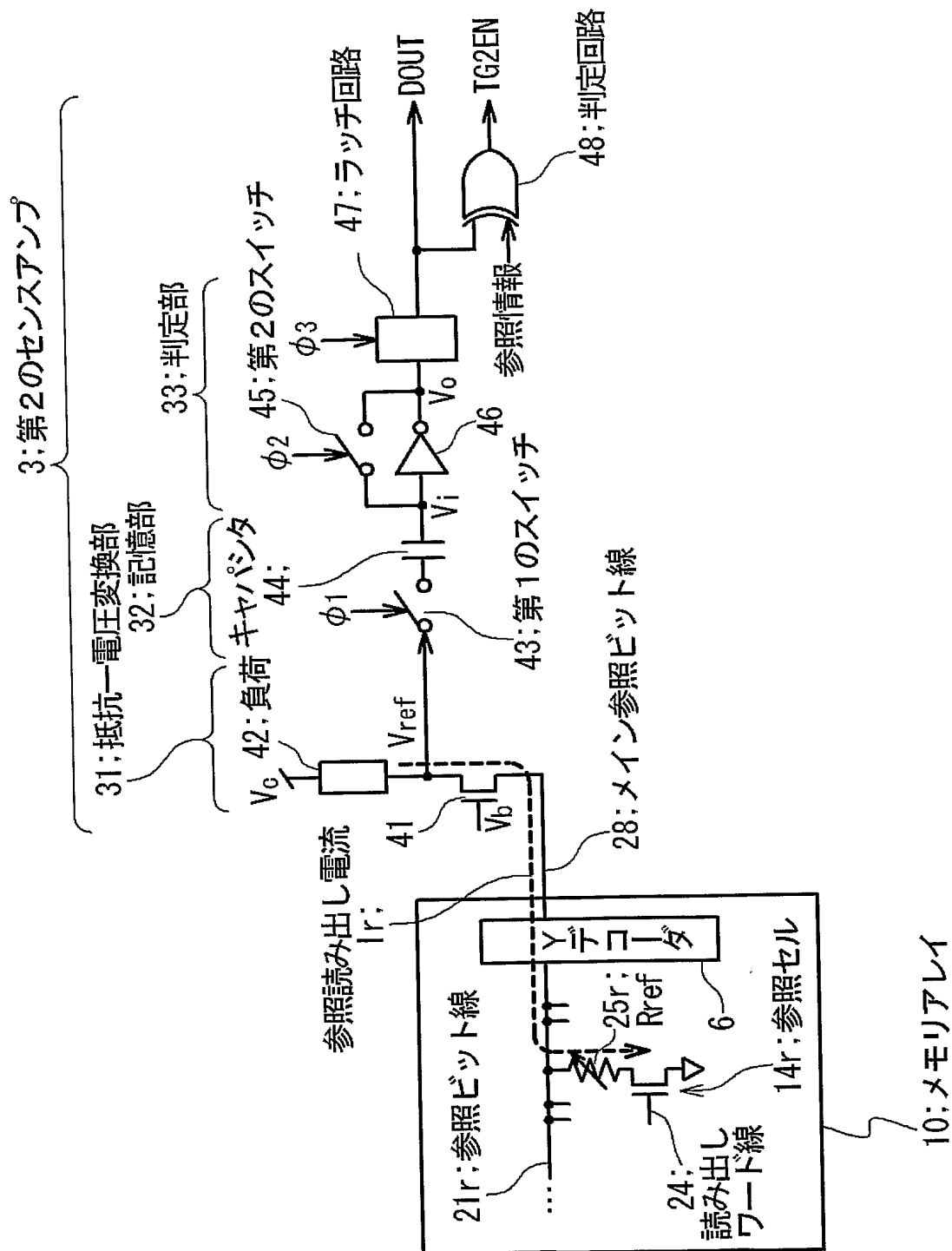
- 2 3 書き込みワード線
- 2 4 読み出しワード線
- 2 5、2 5 r 磁気抵抗素子
- 2 6、2 6 r MOSトランジスタ
- 3 1 抵抗-電圧変換部
- 3 1 a 第 1 の抵抗-電圧変換部
- 3 1 b 第 2 の抵抗-電圧変換部
- 3 2 記憶部
- 3 2 a 第 1 の記憶部
- 3 2 b 第 2 の記憶部
- 3 3 判定部
- 3 3 a 第 1 の判定部
- 3 3 b 第 2 の判定部
- 4 1、4 1 a、4 1 b トランジスタ
- 4 2、4 2 a、4 2 b 負荷
- 4 3 4 3 a、第 1 のスイッチ
- 4 3 b 第 3 のスイッチ
- 4 4、4 4 a、4 4 b キャパシタ
- 4 5、4 5 a 第 2 のスイッチ
- 4 5 b 第 4 のスイッチ
- 4 6、4 6 a、4 6 b インバータ
- 4 7、4 7 a、4 7 b ラッチ回路
- 4 8 排他的論理和ゲート
- 4 8 a 判定回路
- 1 0 1 第 2 の配線
- 1 0 2 第 2 のフリー層
- 1 0 3 非磁性金属層
- 1 0 4 第 1 のフリー層
- 1 0 5 トンネル層
- 1 0 6 リファレンス層
- 1 0 7 非磁性金属層
- 1 0 8 ピン層
- 1 0 9 反強磁性層
- 1 1 0 第 1 の配線
- 1 2 1 ビット線
- 1 2 3 書き込みワード線
- 1 2 5 磁気抵抗素子



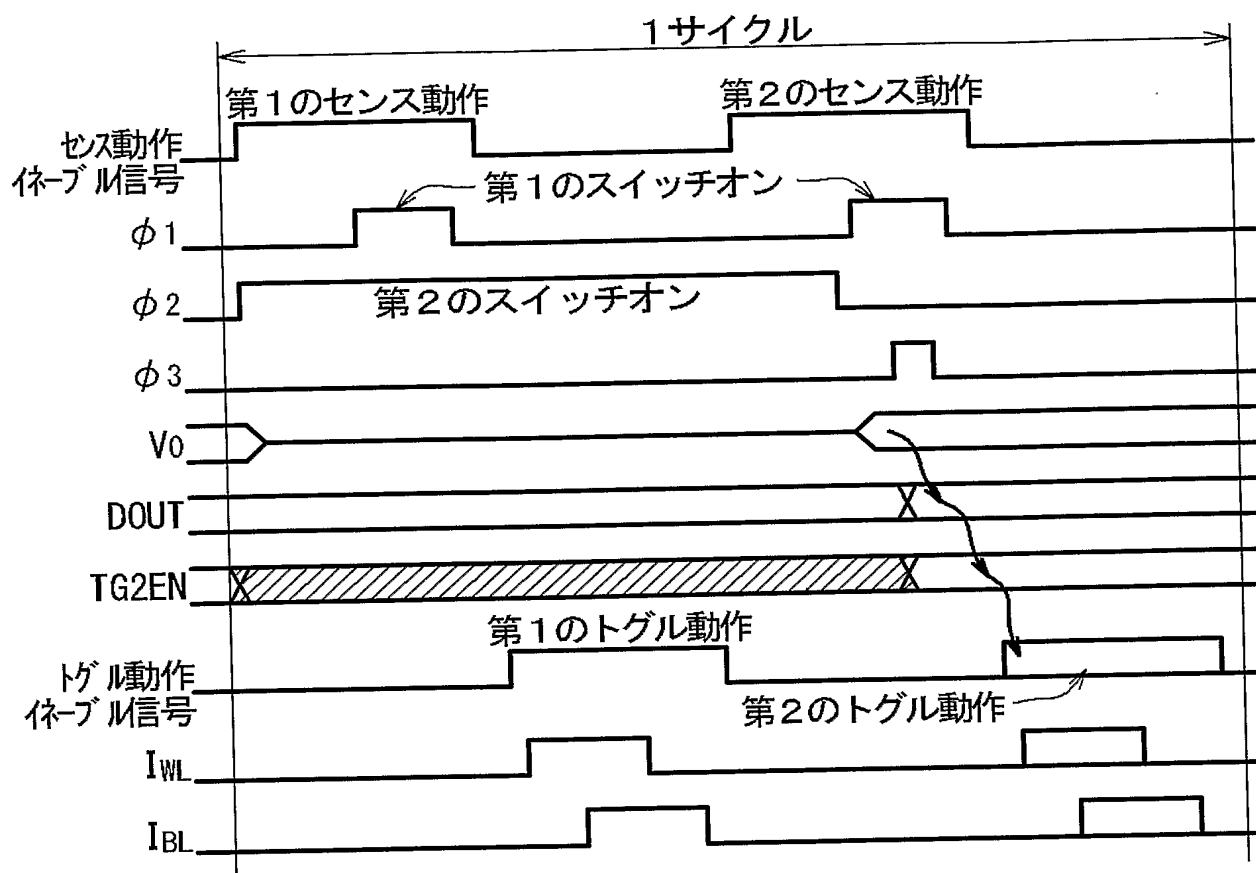
【図 2】



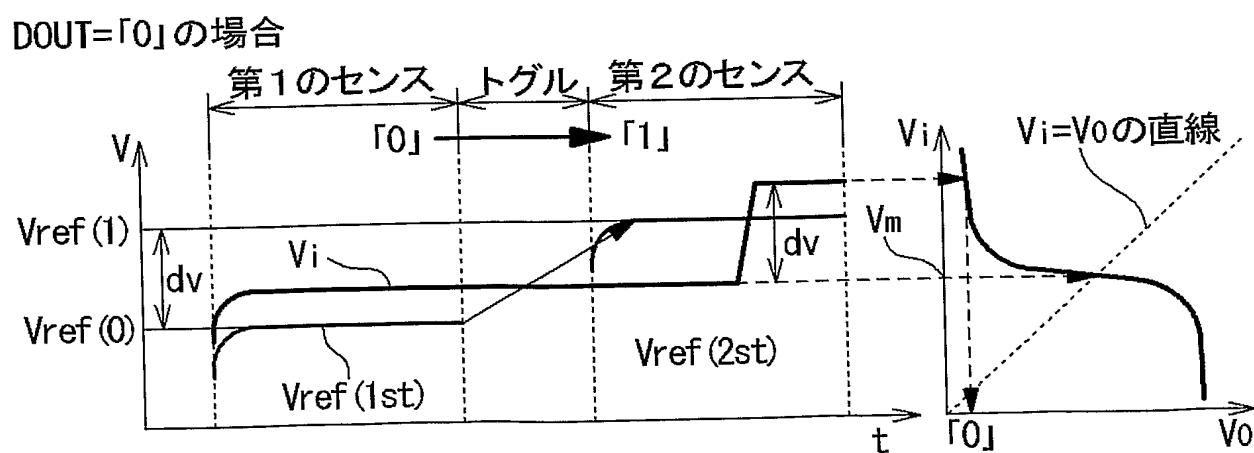
【図 3】



【図 4】



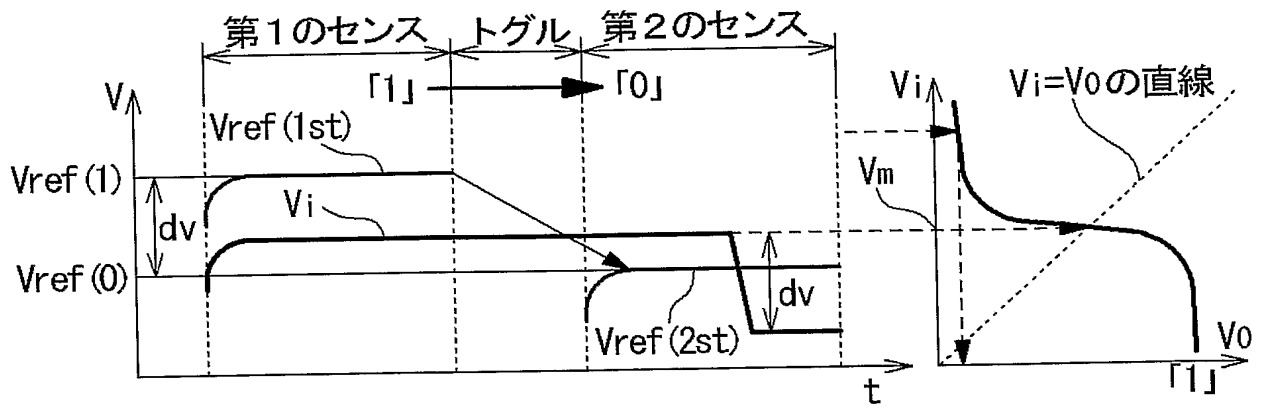
【图 5】



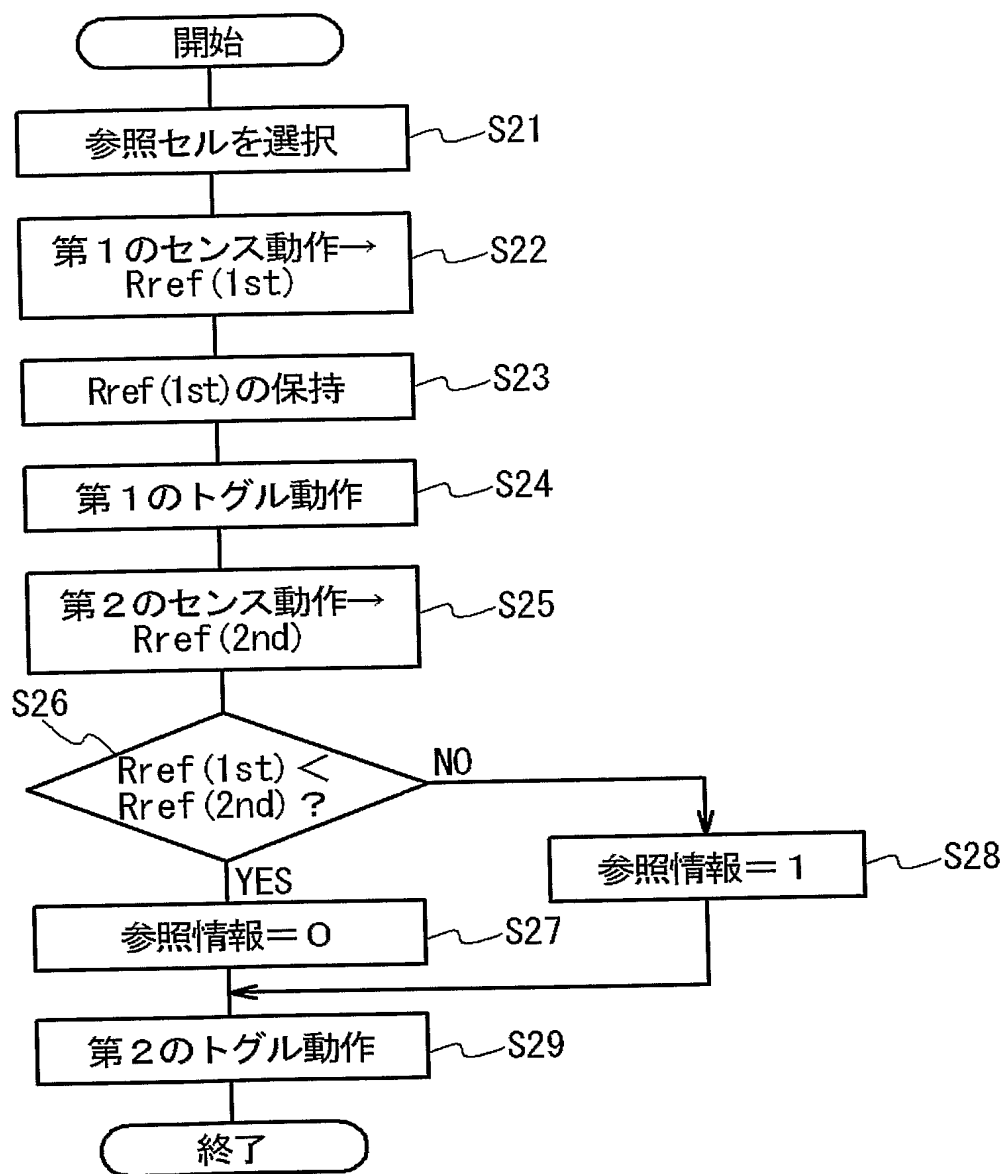


【図 6】

DOUT=「1」の場合

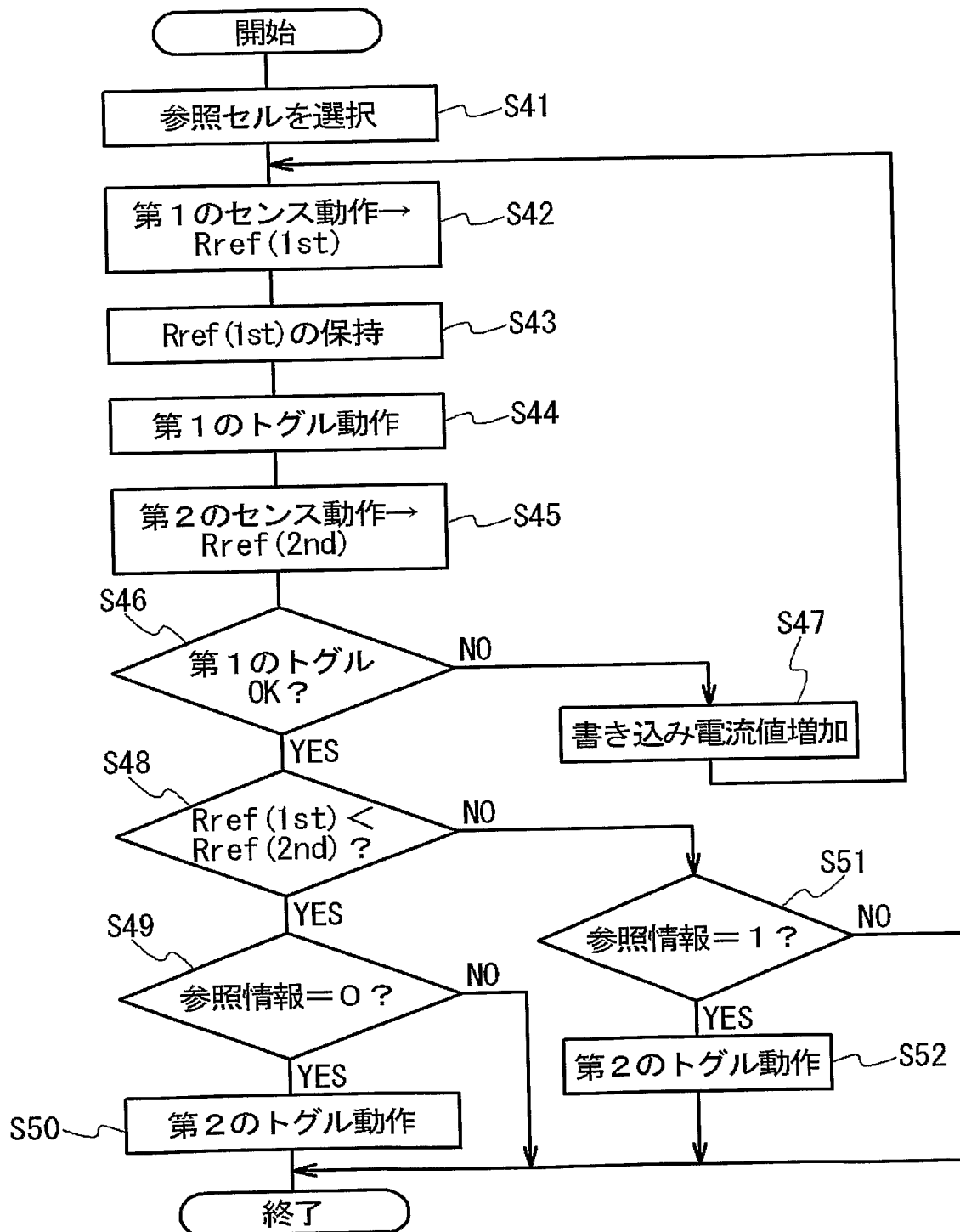


【図 7】





【図 9】

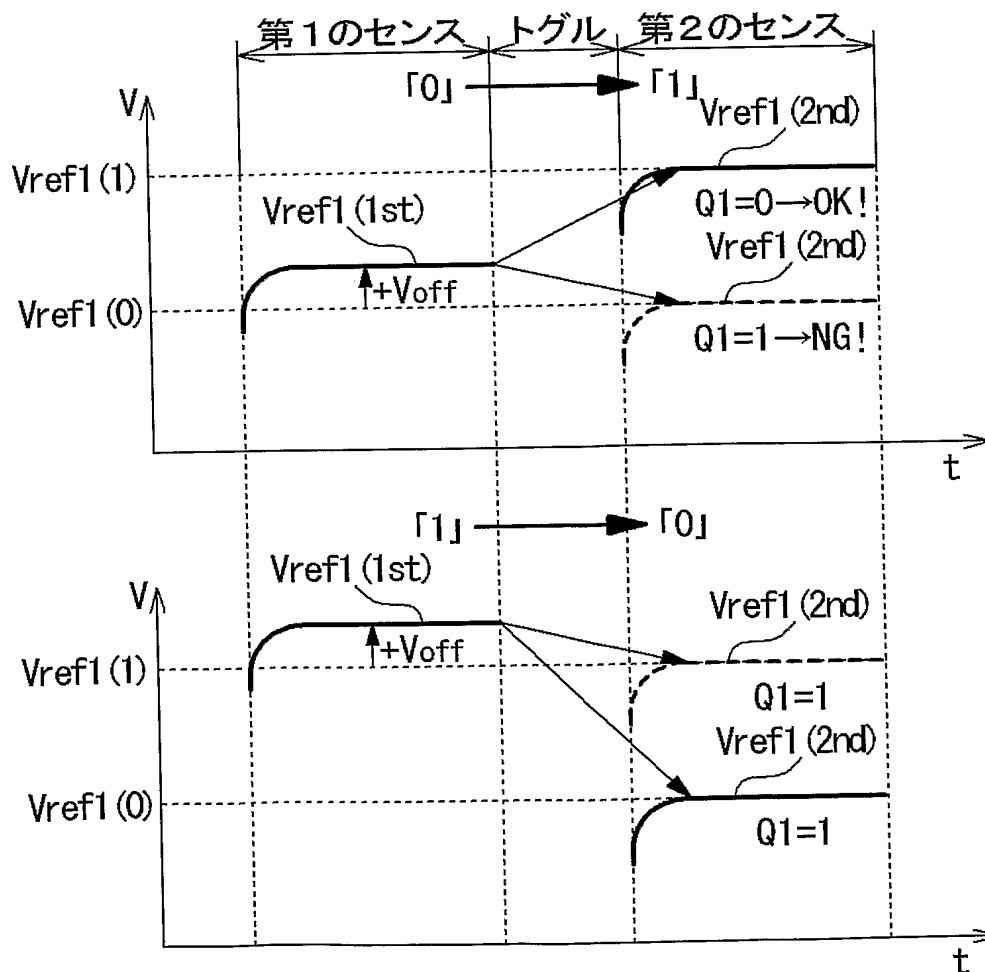




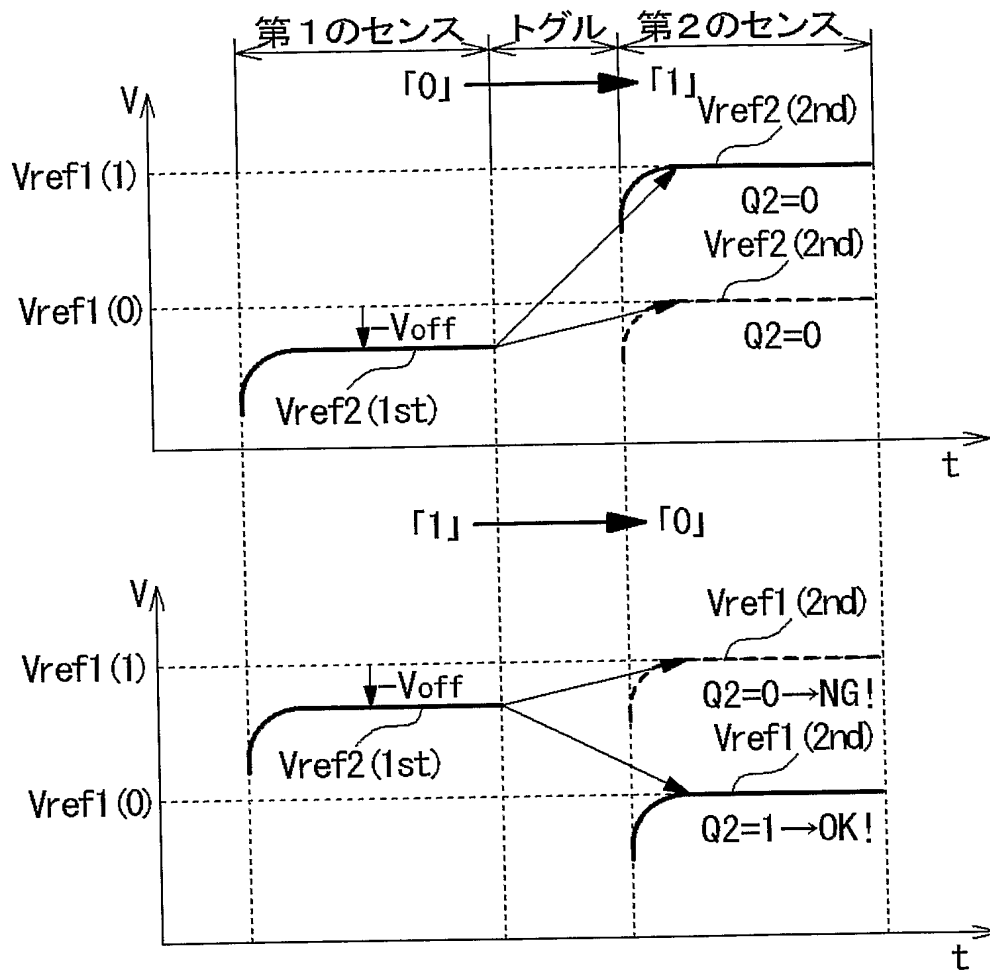
【図 11】

ID	参照情報	Q1	Q2	DOUT	TG2EN	TGERR
1	0	0	0	0	1	0
2	0	0	1	X	0	1
3	0	1	0	X	0	1
4	0	1	1	1	0	0
5	1	0	0	0	0	0
6	1	0	1	X	0	1
7	1	1	0	X	0	1
8	1	1	1	1	1	0

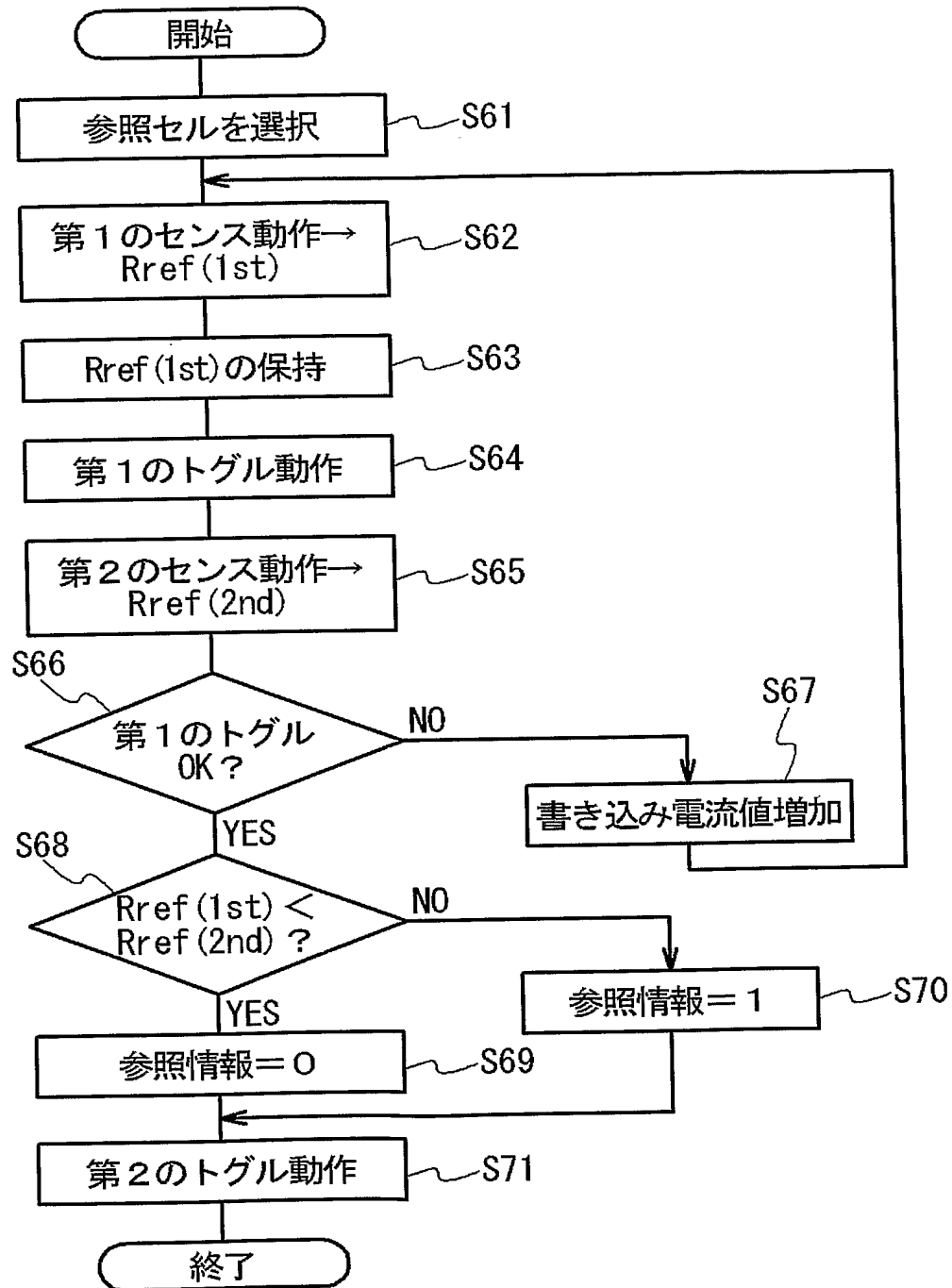
【図 12】



【図 13】

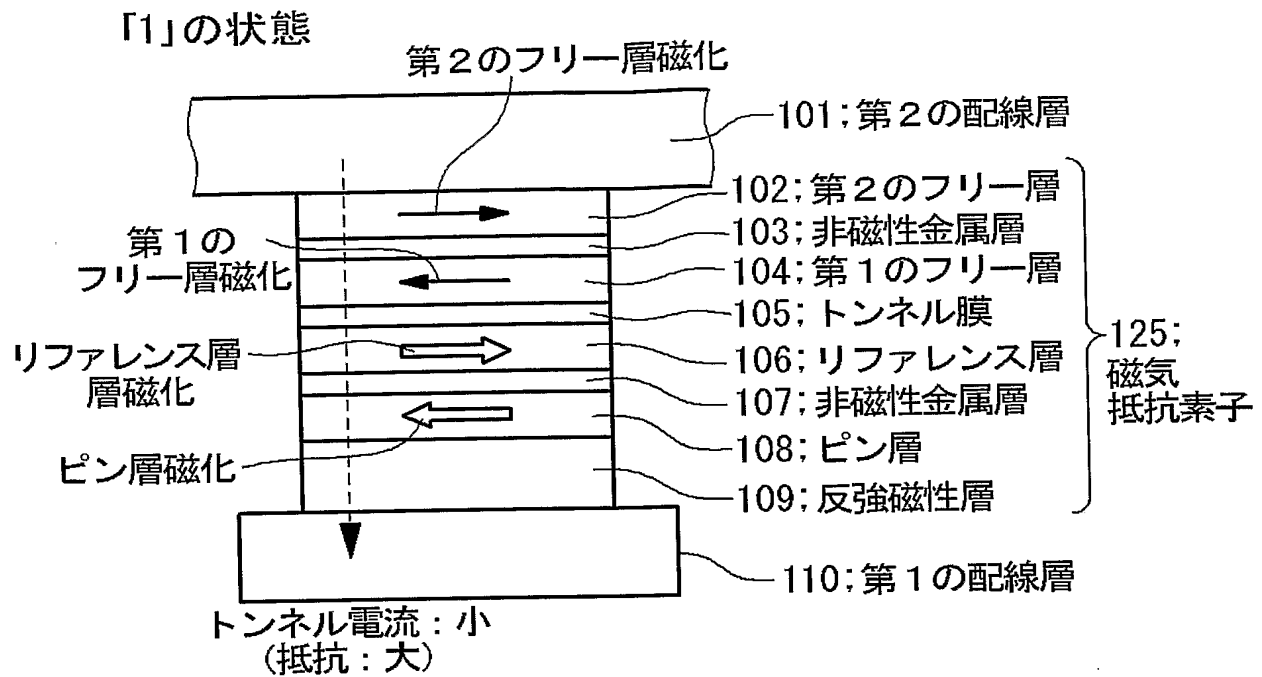


【図 14】

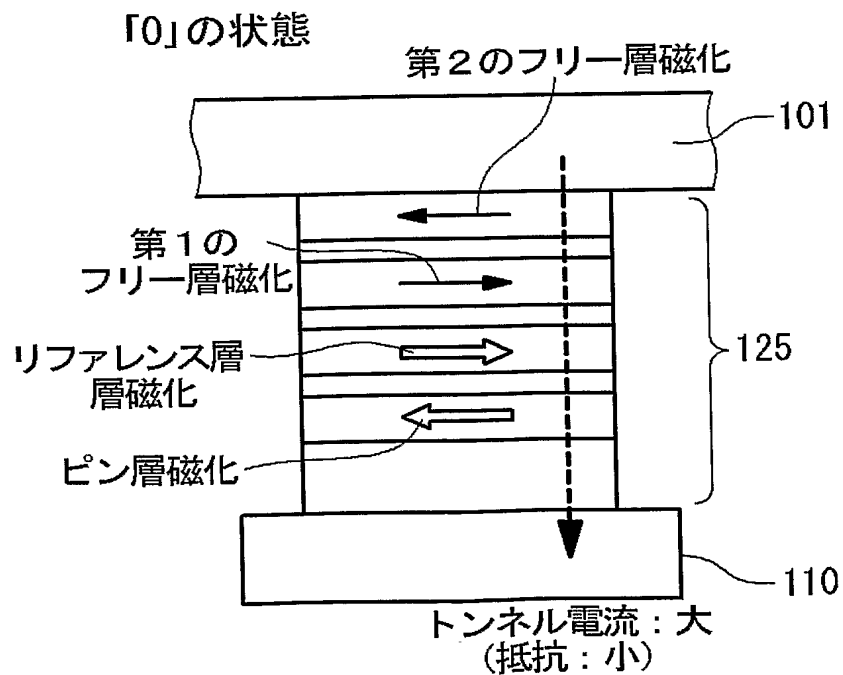




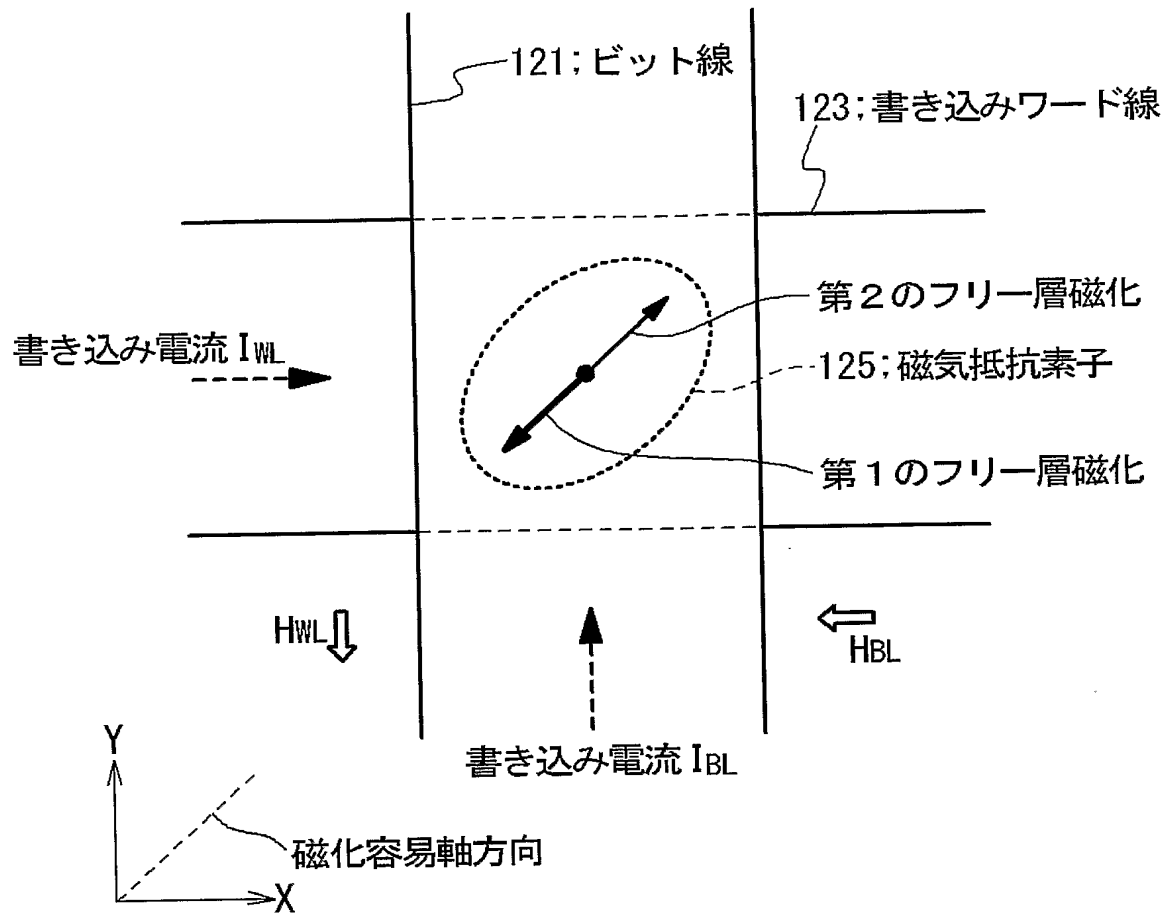
【図 15】



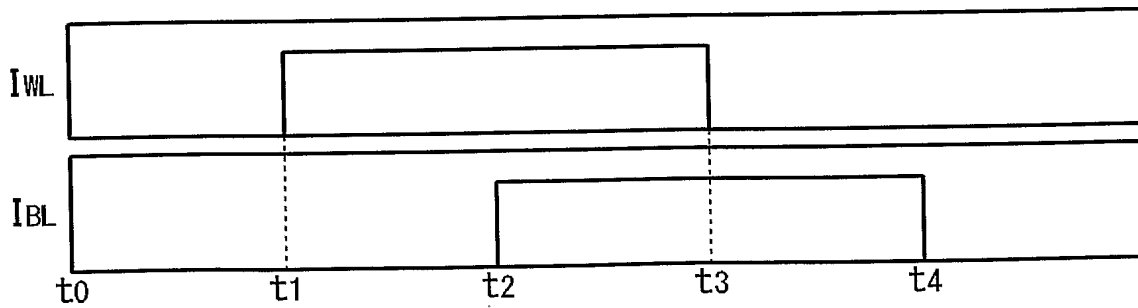
【図 16】



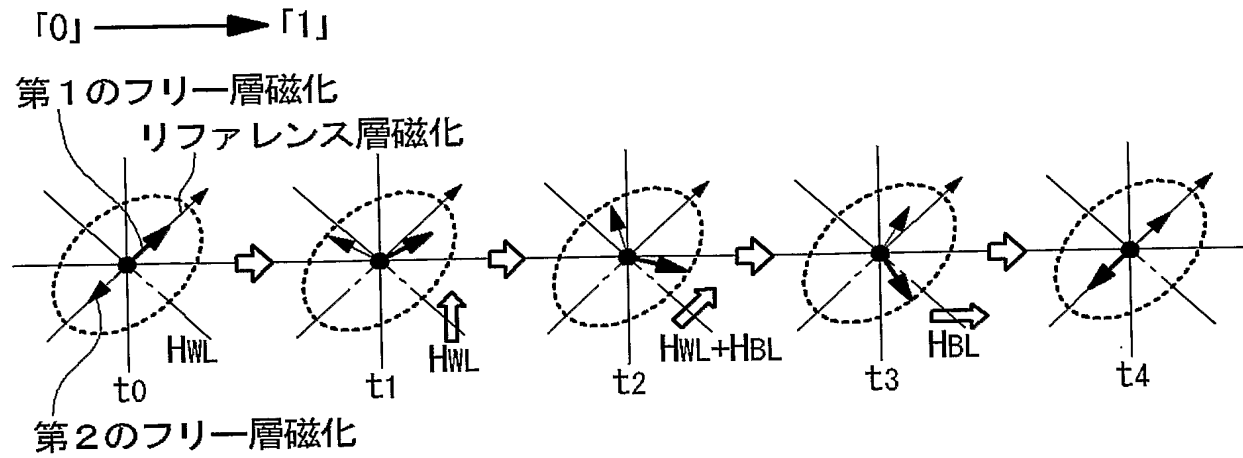
【図 17】



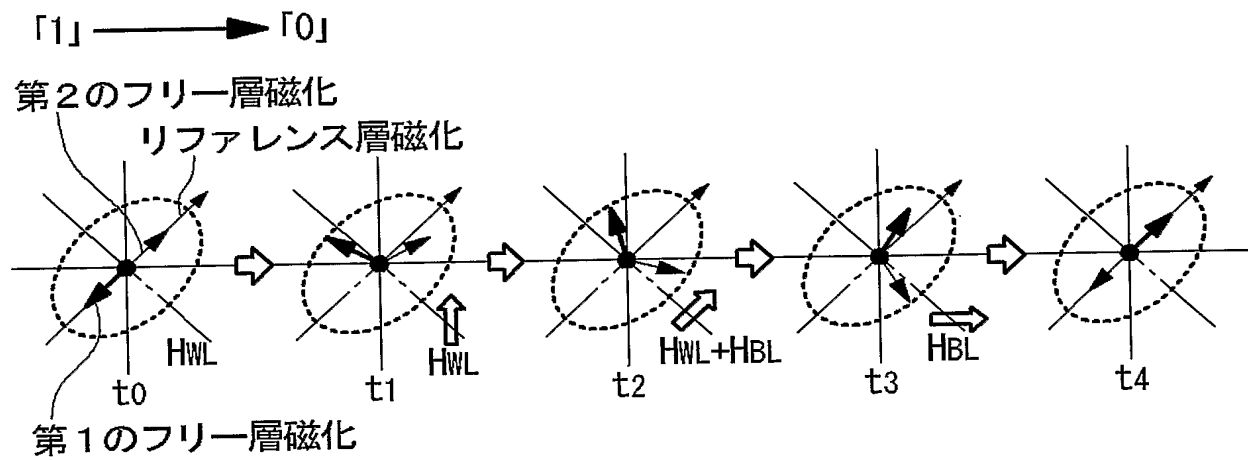
【図 18】



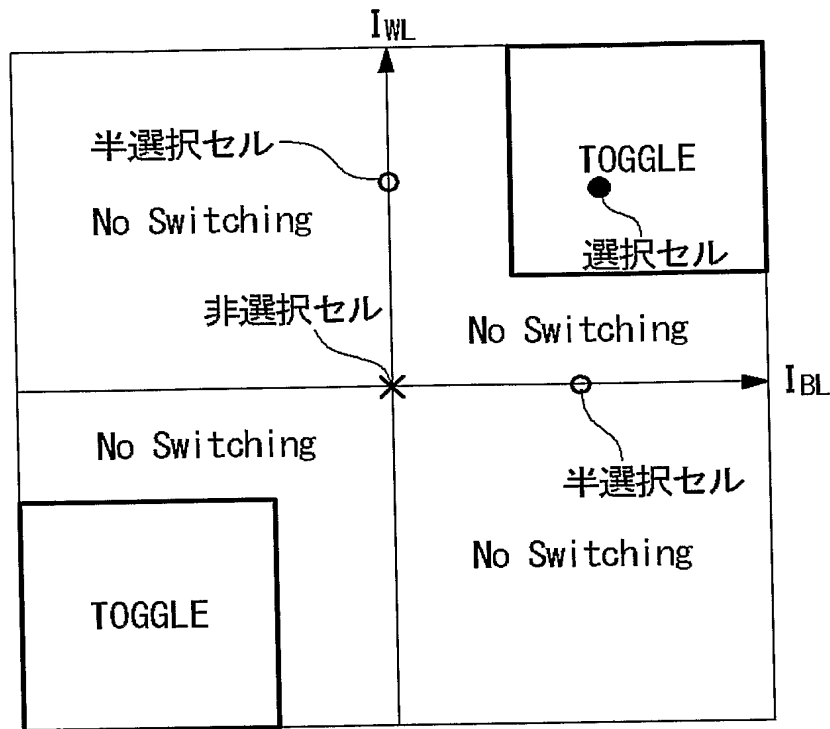
【図 19】



【図 20】



【図 21】



## 【書類名】要約書

## 【要約】

【課題】 トグルMRAMにおいて、参照セルに対して高い信頼性で情報の読み出し及び書き込みをすることを可能とする。

## 【解決手段】

第1配線23と第2配線21+21rとメモリセル14+14rと第2センスアンプ3と第1センスアンプ2とを備えるMRAMを用いる。第1及び第2配線23、21+21rは、第1及び第2方向に延伸する。メモリセル14+14rは、第1配線23と第2配線21+21rとが交差する位置に対応して設けられる。第2センスアンプ3は、参照配線21rに対応して設けられた参照セル14rからの出力に基づいて、参照セル14rの状態を検出する。第1センスアンプ2は、メモリセル14及び参照セル14rからの出力に基づいて、当該メモリセル14の状態を検出する。メモリセル14+14rは、積層フリー層を有する磁気抵抗素子含む。磁気抵抗素子は、磁化容易軸方向が第1及び第2の方向X、Yとは異なる。

【選択図】 図1

特願 2 0 0 4 - 0 6 1 5 9 5

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 4 2 3 7 ]

1. 変更年月日

1 9 9 0 年 8 月 2 9 日

[変更理由]

新規登録

住 所

東京都港区芝五丁目 7 番 1 号

氏 名

日本電気株式会社